

LOGIČKA KOLA SA BIPOLARNIM TRANZISTORIMA



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

1

1

Model diode u logičkim kolima

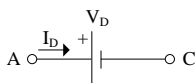


A - anoda
C - katoda

Ne vodi

$$V_{AC} < V_{\gamma D} \quad A \circ \xrightarrow{I_D} \text{---} \circ C$$

Vodi



Ako postoje uslovi da $V_{AC} > V_{\gamma D}$

$V_{AC} = V_{\gamma D}$ ako je $I_D \approx 0$ ivica provođenja

Uslovi: na osnovu spoljnih elementa kola

Pretpostavka -> dokaz

Pretpostavka: struja kroz diodu jednaka nuli

Dokaz: $V_{AC} < V_{\gamma D}$

Pretpostavka: diode vodi

Dokaz: $I_D \geq 0$



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

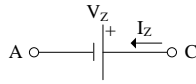
2

2

Zener dioda



Direktna polarizacija: kao „obična“ dioda



Inverzna polarizacija:
ostvareni uslovi
Zenerov proboj
model naponskog izvora

Šotki dioda



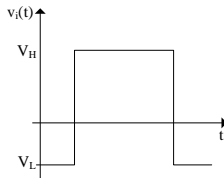
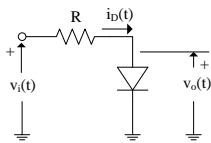
Šotki diodu obrazuje spoj metal poluprovodnik i zbog toga je napon direktne polarizacije kod ovakvih dioda manji. Za Šotki diode važe isti modeli kao i za pn diode, osim što ćemo u daljoj analizi smatrati da je pri direktnoj polarizaciji Šotki diode $V_{AC} = V_S = 0.3V$.

Znatno su „brže“ od običnih dioda. Nema nagomilanih nosilaca.



3

Impulsni režim rada diode



Period t_0 do t_1 – vreme kašnjenja; puni se oblast prostornog tovara, „kapacitivnost“, koja je bila inverzno polarizovana i „skuplja“ se, još uvek je inverzno polarizovan spoj.

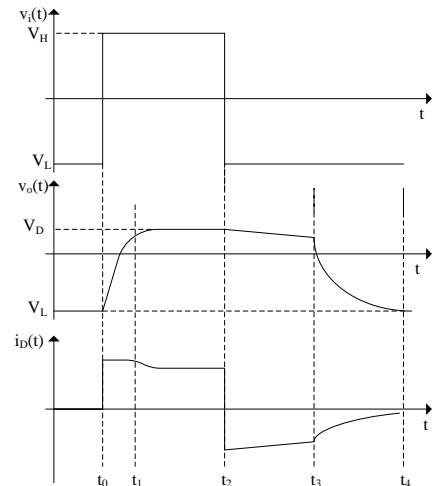
Period t_1 do t_2 – pri kraju prethodnog perioda pn spoj je direktno polarizovan. Dioda vodi. Struja je određena veličinom ulaznog napona, otpornošću i naponom direktne polarizacije diode

$$I_D = \frac{V_H - V_D}{R}$$

Period t_2 do t_3 – vreme nagomilavanja. Postoji velika koncentracija nagomilanih nosilaca uz oblast prostornog tovara. Spoj je i dalje direktno polarizovan. Pojavljuje se negativna struja koja odvodi nagomilane nosioce.

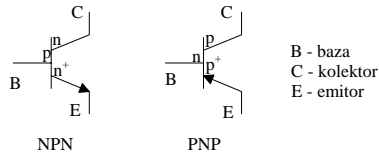
$$I_D = \frac{V_L - V_D}{R} \quad \text{if } V_L < 0 \rightarrow I_D < 0$$

Period t_3 do t_4 – vreme prelaza. Oblast pn spoja postaje inverzno polarizovano i širi se. Prazne se oblasti prostornog tovara „kapacitivnosti“. Zato i jeste eksponencijalan oblik.



4

Model bipolarnog tranzistora u logičkim kolima



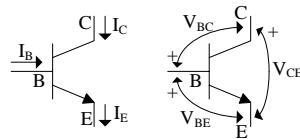
~~Mali signal~~

$$v_{BE}(t) = V_{BE} + v_s(t)$$

$$V_{BE} \gg v_s(t)$$

- Veliki signal
1. Zakočen
 2. Aktivan režim
 3. U zasićenju
- A ponekad i inverzni režimi

Usaglašeni naponi i struje NPN



Napomena $V_{BE} = -V_{EB}$



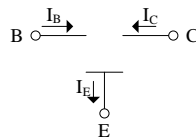
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

5

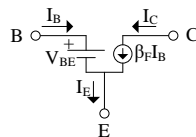
5

Zakočen $V_{BE} < V_{YT}$



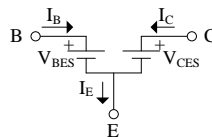
Struje $I_B = I_C = I_E = 0$, dok su naponi V_{CE} i V_{BC} određeni spoljašnjim elementima sa kojima je tranzistor povezan.

Aktivan režim $V_{BE} > V_{YT}$ i $\beta_F I_B = I_C$
 $V_{BC} < V_{YT}$



$V_{BE} = 0.6V$
Struja emitera je $I_E = (\beta_F + 1)I_B$ dok su naponi V_{CE} i V_{BC} određeni spoljašnjim elementima sa kojima je tranzistor povezan

Zasićenje $V_{BE} > V_{YT}$ i $\beta_F I_B > I_C$



Struja kolektora i baze je određena spoljašnjim elementima sa kojima je tranzistor povezan a struja emitera je kao i uvek $I_E = I_C + I_B$.

Spoj baza emitor ponaša se kao idealan naponski izvor čija je vrednost napona u daljim primerima $V_{BES} = 0.7V$. Napon između kolektora i emitora ćemo takođe smatrati konstantnim i smatrati da ne postoji unutrašnja otpornost između kolektora i emitera. Odnosno kao da se spoj baza kolektor ponaša kao idealan naponski izvor čija je vrednost napona u daljim primerima $V_{CES} = 0.1V$



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

6

6

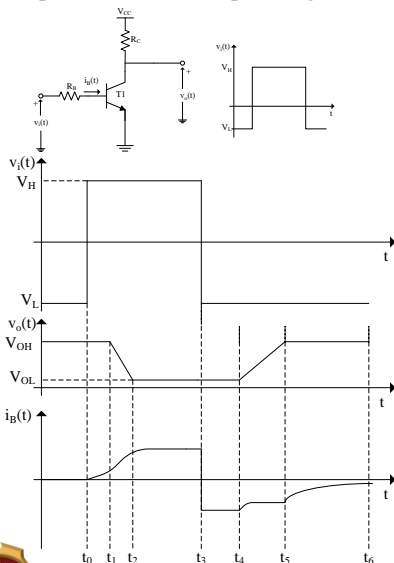
Kako da zaključimo u kojem režimu u kolu radi tranzistor videćemo kroz primere na logičkim kolima. Ali osnova je

1. Pretpostavimo režim rada tranzistora
2. Zamenimo tranzistor modelom za pretpostavljeni režim rada
3. Izračunamo parametre u kolu, napone i struje.
4. Na osnovu odnosa parametra (na primer da li je zaista $\beta_F I_B > I_C$) proverimo ispravnost naše pretpostavke.
5. Ako zaključimo da je pretpostavka pogrešna vraćamo se na tačku 1.

Cilj „gomile“ zadataka iz elektronika jeste da u analizi lakše u startu prepoznamo u kojim režimima rade tranzistori, da ih u sintezi pravilno iskoristimo itd. Prethodno opisani postupak će voditi rešenju čak i ako više puta pogrešimo sa početnom pretpostavkom. Samo je pitanje u kojem vremenskom roku ćemo „rešiti zadatak“.



Impulsni režim rada bipolarnog tranzistora



Period t_0 do t_1 – vreme kašnjenja; pune se oblasti „kapacitivnosti“, koje su bile inverzno polarizovane i „skupljaju“ se, i dalje je spoj inverzno polarizovan, još uvek ne postoji tranzistorski efekat, struja kolektora jednaka nuli.

Period t_1 do t_2 – vreme opadanja; pune se i dalje oblasti prostornog tovara, „kapacitivnosti“, bazno emitorski spoj je direktno polarizovan, uska je oblast, pojavljuje se višak manjinskih nosilaca u bazi, postoji tranzistorski efekat, struja kolektora postoji i zavisi od struje baze. Napon na izlazu opada.

Period t_2 do t_3 – pri kraju prethodnog perioda i spoj baza emitor i spoj baza kolektor su direktno polarizovani. Pojavio se veliki višak manjinskih nosilaca na oba spoja. Tranzistor je u zasićenju.

Period t_3 do t_4 – period zasićenja. Napon na ulazu u kolo je negativan. Međutim postoje viškovi manjinskih nosilaca u oblasti baze. Oni ne mogu trenutno de nestanu. Pojavljuje se negativna bazna struja koja eliminiše viškove nosilaca iz baze. Tranzistor je i dalje u zasićenju.

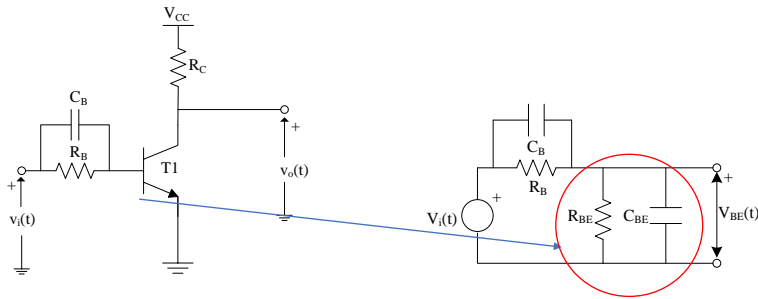
Period t_4 do t_5 – vreme uspostavljanja. Oblast baza kolektor je postala inverzno polarizovano i nastavlja da se širi. Opada broj nosilaca uz oblast baza emitor, opada kolektorska struja.

Period t_5 do t_6 – vreme oporavka. Oblast baza kolektor je inverzno polarizovano. Oblast baza emitor postaje inverzno polarizovana i širi se. Pune se oblasti prostornog tovara „kapacitivnosti“. Zato i jeste eksponencijalan oblik.



Kako ubrzati rad

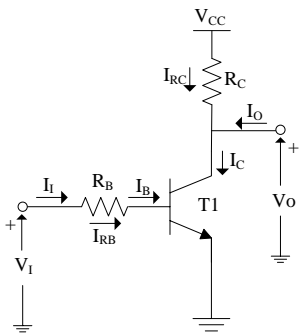
Kompenzovani razdelnik napona ☺



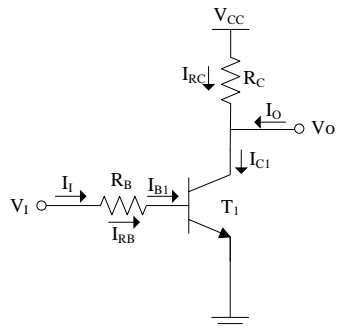
9

RTL logička kola

Ako u analognoj elektronici potražimo kolo koje bi moglo da zadovolji parametre logičkog kola, dve neaktivne oblasti i oblast velikog pojačanja, kao prirodan izbor nam se nameće pojačavač sa zajedničkim emitorom.

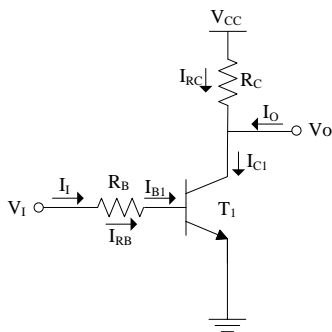


Način crtanja i obeležavanja



10

Karakteristika prenosa



Kao što smo definisali u elementima analize logičkih kola crtaćemo zavisnost $V_O = f(V_I)$ tako što ćemo menjati ulazni napon od 0 do V_{CC} smatrajući da je kolo neopterećeno odnosno da je $I_O=0$. Krećemo do tačke $V_I=0$. Ajde na primeru na vidimo: pretpostavka režima rada tranzistor, dokaz pretpostavke „pa u krug“.

Pretpostavimo da je tranzistor T1 u aktivnom režimu. Po ulaznoj konturi važi

$$V_I - R_B I_{RB} - V_{BE1} = 0$$

Kako je

$$I_B = I_{RB} \rightarrow I_B = \frac{V_I - V_{BE1}}{R_B}$$

Po pretpostavci $V_I=0$ i $V_{BE1} = V_{BE} = 0.6V$, dobili bi da je $I_B < 0$, što je suprotno pretpostavci da je tranzistor u aktivnom režimu kada mora da bude $I_B \geq 0$. Znači idemo na novu pretpostavku, Potpuno identično razmišljanje i zaključke bi izveli i da smo pretpostavili da je tranzistor u zasićenju. Jedino bi imali u pretpostavci $V_{BE1} = V_{BEs} = 0.7V$. Prema tome ostaje situacija da je tranzistor zakočen, odnosno da je $I_B = 0$, i $V_{BE1} < V_{YT}$. Iz istih jednačina (koje uvek važe)

$$V_I - R_B I_{RB} - V_{BE1} = 0$$

Pod uslovom da je $I_B = I_{RB} = 0$, onda je $V_{BE1} = V_I = 0$, odnosno $V_{BE1} < V_{YT}$, pa je naša pretpostavka da je tranzistor zakočen ispravna. Po izlaznoj konturi je

$$V_O = V_{CC} - R_C I_{RC}$$

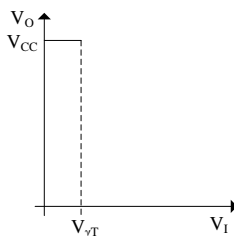
a za neopterećeno kolo, $I_{O}=0$,

$$V_O = V_{CC} - R_C I_C$$

Tranzistor je zakočen pa je $I_{C1}=0$ što znači da je za $V_I=0$, $V_O=V_{CC}$.



Gledajući razmišljanje koje smo izveli možemo da uočimo da će biti potpuno identična situacija dok god je $V_I < V_{YT}$. Tek kada postane $V_I = V_{YT}$ tada će biti $V_{BE1} = V_{YT}$ odnosno postojaće uslov da tranzistor vodi sa $I_B=0$. Taj režim rada tranzistora naziva se „ivica provođenja“, U realnosti tranzistor će početi da vodi i sa manjim naponima između baze i emitora ali sa manje izraženim tranzistorskim efektom. Nam ne treba apsolutno tačna „računica“. To bi mogli da izvedemo simulacijama, Za analizu koju sprovodimo prikazana tri diskretna modela su više nego dovoljna.



Povećavamo ulazni napon. Pojaviće se mala struja baze tranzistora, a samim time i mala struja kolektora. Kako je

$$V_{CE1} = V_{CC} - R_C I_{RC} = V_{CC} - R_C I_C,$$

ovaj put je logična pretpostavka da će tranzistor za male bazne struje raditi u aktivnom režimu. Mogli smo da pretpostavimo i da tranzistor radi u zasićenju ali bi videli da za male kolektorske struje važi

$$V_{CE1} = V_{CC} - R_C I_{RC} > V_{CES}$$

odnosno da nam je pretpostavka bila pogrešna.



I dalje važi (uvek važi)

$$V_I - R_B I_{RB} - V_{BE1} = 0$$

$$V_O = V_{CC} - R_C I_{RC}$$

Za neopterećeno kolo i tranzistor u aktivnom režimu

$$V_O = V_{CC} - R_C I_{RC} = V_{CC} - R_C I_R = V_{CC} - R_C \beta_F I_B$$

Kako je

$$I_B = I_{RB} = \frac{V_I - V_{BE1}}{R_B}$$

onda je

$$V_O = V_{CC} - R_C \beta_F I_B = V_{CC} - R_C \beta_F \frac{V_I - V_{BE1}}{R_B} = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE1})$$

Tranzistor je u aktivnom režimu pa je $V_{BE1} = V_{BE}$

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - 0.6V)$$



$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - 0.6V)$$

Namerno je napisano u ovim oblicima pošto ovde mogu da nastanu nedoumice da li smo dobro uradili. Odnosno da neki rezultati budu zbunjujući.

Ako bi hteli da nastavimo da crtamo naš grafik, očigledno je da moramo krenuti od tačke gde smo stali, odnosno za $V_I = V_{YT}$. Međutim ako ovu tačku zamenimo u jednačini koju smo prethodno našli

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_{YT} - 0.6V) = V_{CC} - \beta_F \frac{R_C}{R_B} (0.5V - 0.6V) > V_{CC} \quad ???$$

Ovakav rezultat možda jeste nelogičan, ali je očekivan zbog naše diskretne prirode modela tranzistora i „naglog skoka“ sa $V_{BE1} = V_{YT} = 0.5V$ na $V_{BE1} = V_{BE} = 0.6V$. Ovakve „nelogičnosti“ će nam se i dalje pojavljivati, međutim greške koje pravimo sa našim diskretnim modelima su male i nastavićemo da radimo sa njima. Znači smatraćemo da nema prekida u tački $V_I = V_{YT}$ da se jednostavno od te tačke nastavlja karakteristika prenosa po jednačini

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

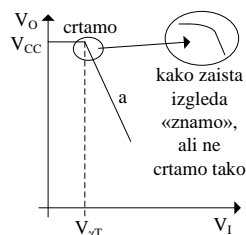


Kao što se vidi to je prava sa nagibom

$$a = \frac{dV_O}{dV_I} = -\beta_F \frac{R_C}{R_B}$$

odnosno sa pojačanjem koje mora biti $|a| \gg 1$

Crtamo kontinualnu pravu od tačke $V_I = V_{YT}$ sa nagibom $a = -\beta_F \frac{R_C}{R_B}$



kako zaista izgleda «znamo», ali ne crtamo tako

Zavisnost između izlaznog i ulaznog napona

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

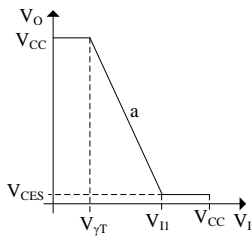


Ostaje da odredimo pri kojem ulaznom naponu V_{I1} tranzistor ulazi u zasićenje

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_{I1} - V_{BE}) = V_{CES}$$

Tada je

$$V_{I1} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE}$$



$$V_{OH} = V_{CC} \quad V_{OL} = V_{CES} \quad V_{IL} = V_{\gamma T} \quad V_{IH} = V_{IH}$$

$$NM_{LMS} = V_{IL} - V_{OL} = V_{\gamma T} - V_{CES}$$

$$NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - V_{IH}$$



V_M

$$V_O = V_{CC} - \beta_F \frac{R_C}{R_B} (V_I - V_{BE})$$

$$V_O = V_I = V_M$$

$$V_M = V_{CC} - \beta_F \frac{R_C}{R_B} (V_M - V_{BE})$$

$$V_M \left(1 + \beta_F \frac{R_C}{R_B} \right) = V_{CC} + \beta_F \frac{R_C}{R_B} V_{BE}$$

$$V_M = \frac{V_{CC} + \beta_F \frac{R_C}{R_B} V_{BE}}{1 + \beta_F \frac{R_C}{R_B}} = V_{BE} \frac{\frac{V_{CC}}{V_{BE}} + \beta_F \frac{R_C}{R_B}}{1 + \beta_F \frac{R_C}{R_B}} = V_{BE} \left(\frac{\frac{V_{CC}}{V_{BE}} - 1}{1 + \beta_F \frac{R_C}{R_B}} + 1 \right)$$

$$NM_{LSS} = V_M - V_{OL} = V_M - V_{CES}$$

$$NM_{HSS} = V_{OH} - V_M = V_{CC} - V_M$$

MALE MARGINE ŠUMA LOGIČKE NULE KOD RTL KOLA



Drugi način određivanja V_{IH}

$$I_{B1} = \frac{V_I - V_{BE1}}{R_B} \quad I_{C1} = \frac{V_{CC} - V_{CE1}}{R_C}$$

to je za tranzistor u zasićenju

$$I_{B1} = \frac{V_I - V_{BES}}{R_B} \quad I_{C1} = \frac{V_{CC} - V_{CES}}{R_C} \quad \beta_F I_{B1} > I_{C1}$$

Smanjenjem ulaznog napona smanjuje se struje I_B i pri nekom ulaznom naponu V_{I2} će se pojaviti

$$\beta_F I_{B1} = I_{C1}$$

$$\beta_F \frac{V_{I2} - V_{BES}}{R_B} = \frac{V_{CC} - V_{CES}}{R_C}$$

$$V_{I2} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES}$$

i to je tačka V_{IH} . Ranije

$$V_{I1} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BE}$$

Uočite da se ova dva napona razlikuju

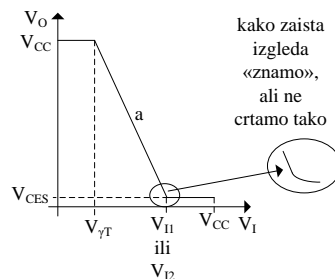
$$V_{I2} - V_{I1} = V_{BES} - V_{BE}$$



$$V_{I2} - V_{I1} = V_{BES} - V_{BE}$$

Pa koje je računanje tačno? **Netačno je i jedno i drugo, odnosno tačno je i jedno i drugo. ???**

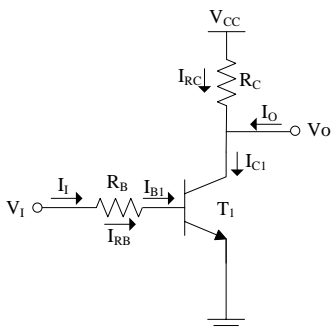
Nije tačno ni jedno ni drugo zato što u oba slučaja koristimo „grubu“ aproksimaciju rada tranzistora. Tačno je i jedno i drugo pošto je greška koju pravimo „mala“. Razlike u naponima između ova dva načina određivanja opet potiču iz diskretne prirode naših modela i diskretnog prelaza između njih.



kako zaista izgleda «znano», ali ne crtamo tako



Strujni kapacitet



Da bi odredili I_{IL} smatraćemo da se na ulazu nalazi napon od V_{OL} do V_{IL} . U tom slučaju tranzistor T1 je zakočen, kao što smo videli, pa je njegova bazna struja $I_B=0$, odnosno i ulazna struja jednaka nuli. Znači $I_{IL}=0$.

Da bi odredili I_{IH} smatraćemo da se na ulazu nalazi napon od V_{IH} do V_{OH} . U tom slučaju tranzistor T1 je u zasićenu, kao što smo videli, pa je njegova bazna struja I_B , što je isto što i ulazna struja I_I , po ulaznoj konturi

$$I_B = I_I = \frac{V_I - V_{BE1}}{R_B} = \frac{V_I - V_{BES}}{R_B}$$

Očigledno je ona maksimalna kada je i maksimalan ulazni napon $V_{I_{max}}=V_{OH}=V_{CC}$ pa je

$$I_{I_{max}} = I_{IH} = \frac{V_{CC} - V_{BES}}{R_B}$$



Da bi kolo što manje opterećivalo neko prethodno kola ova struja bi trebalo da bude što je manje moguća. U tom smislu treba otpornik R_B da bude što je moguće veći. Međutim, prilikom analize karakteristike prenosa smo videli da treba otpornik R_B da bude što je moguće manji da bi imali što je veće pojačanje i užu prelaznu zonu. I ovakve situacije će nas često pratiti u elektronici. Da imamo suprotne zahteve prilikom izbora komponenti. Rešenje je u kompromisu. Nećemo se baviti u ovom trenutku kako napraviti kompromis, pošto je povezan i sa tačnošću, preciznošću, komponenti i sa disipacijom i sa ... U analizi ćemo smatrati da je ta vrednost određena.



Da bi odredili I_{OH} smatraćemo da je na izlazu napon logičke jedinice. Tada je tranzistor zakočen pa je po izlaznoj konturi

$$I_O = -\frac{V_{CC} - V_O}{R_C}$$

Znak minus je posledica usvojenog referentog smera izlazne struje i on pokazuje ono što smo u elementima analize rekli da će logička kola za stanje logičke jedinice na izlazu biti izvori struje, odnosno da će pravi smer struje biti „iz kola“. I kao što smo u elementima analize rekli mogli bi sada u jednačini da zamenimo $V_O = V_{IH}$, pošto će naredno kolo taj napon i dalje shvatati kao logičku jedinicu. Ali u tom slučaju nismo ostavili prostor da sme da se pojavi bilo kakav šum na tom naponu. Zato definišemo minimalan napon logičke jedinice na izlazu V_{OHmin} tako da je $V_{OHmin} > V_{IH}$. U tom slučaju

$$I_{Omax} = I_{OH} = -\frac{V_{CC} - V_{OHmin}}{R_C}$$



$$I_{Omax} = I_{OH} = -\frac{V_{CC} - V_{OHmin}}{R_C}$$

Nije baš matematički tačno. Matematički i struja 0 će biti veća od ove struje (za još više i bolje V_{OHmin}). Znači ovo max treba shvatiti po logici. Maksimalna apsolutna vrednost struje. Isto tako je i u katalozima. Ako je neko u kolonu MAX stavio da je maksimalna vrednost struje na izlazu $I_{OH}=-20\text{mA}$, ne znači da smete da dovede -25mA na izlaz, pošto je matematički $-25 < -20$.

I kao što smo videli na primeru otpornika R_B , i ovde imamo dvostruki zahtev: 1. otpornik R_C treba da bude što manji da bi strujni kapacitet izlaza bio što veći; 2. otpornik R_C treba da bude što veći da bi pojačanje bilo što veće i što uža prelazna zona. Kompromis.



Da bi odredili I_{OL} smatraćemo da je na izlazu napon logičke nule. Tada je tranzistor u zasićenju. Na izlaznom čvoru važi

$$I_{C1} = I_{RC} + I_O$$

Povećanjem izlazne struje povećava se i struja kolektora tranzistora, a da bi bio stabilan napon logičke nule, potrebno je da tranzistor ostane u zasićenju, odnosno potrebno je da bude $\beta_F I_B > I_C$. Znači

$$\beta_F I_{B1} > I_{C1} = I_{RC} + I_O$$

odnosno

$$I_O < \beta_F I_{B1} - I_{RC}$$

Kako je po izlaznoj konturi

$$I_{RC} = \frac{V_{CC} - V_O}{R_C}$$

a tranzistor je u zasićenju

$$I_{RC} = \frac{V_{CC} - V_O}{R_C} = \frac{V_{CC} - V_{CES}}{R_C}$$

Znači

$$I_O < \beta_F I_{B1} - I_{RC} = \beta_F I_{B1} - \frac{V_{CC} - V_{CES}}{R_C}$$



$$I_O < \beta_F I_{B1} - I_{RC} = \beta_F I_{B1} - \frac{V_{CC} - V_{CES}}{R_C}$$

Ostaje pitanje koje I_B zameniti u jednačinu, a kako smo već ranije napisali

$$I_{B1} = \frac{V_I - V_{BE1}}{R_B} = \frac{V_I - V_{BES}}{R_B}$$

Pitanje je u stvari koje V_I staviti na ulaz kola, da bi dobili minimalno I_B .
Tražimo minimalnu, maksimalnu vrednost izlazne struje.

$$V_I = V_{IH}$$

$$I_{Bmin} = \frac{V_{IH} - V_{BES}}{R_B}$$

$$I_O < \beta_F I_{Bmin} - \frac{V_{CC} - V_{CES}}{R_C} = \beta_F \frac{V_{IH} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} = I_{OL}$$

$$V_{I2} = V_{IH} = \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES}$$

$$I_O < \beta_F I_{Bmin} - \frac{V_{CC} - V_{CES}}{R_C} = \beta_F \frac{\frac{R_B}{\beta_F R_C} (V_{CC} - V_{CES}) + V_{BES} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} = 0 = I_{OL}$$



$$V_I = V_{OHmin} > V_{IH}?$$

$$I_O < \beta_F I_{Bmin} - \frac{V_{CC} - V_{CES}}{R_C} = \beta_F \frac{V_{OHmin} - V_{BES}}{R_B} - \frac{V_{CC} - V_{CES}}{R_C} = I_{OL}$$

Što manje R_B , što veće R_C . Opet kontradiktorni zahtevi u odnosu na neke ranije.

Šta bi na kraju stavili u katalog za minimalan napon logičke jedinice na ulazu, V_{IH}
Ono koje smo ranije izračunali ili ovo V_{OHmin}

Očigledno je V_{OHmin}

$$N_L = \frac{I_{OL}}{I_{IL}} = \infty$$

Faktor granja

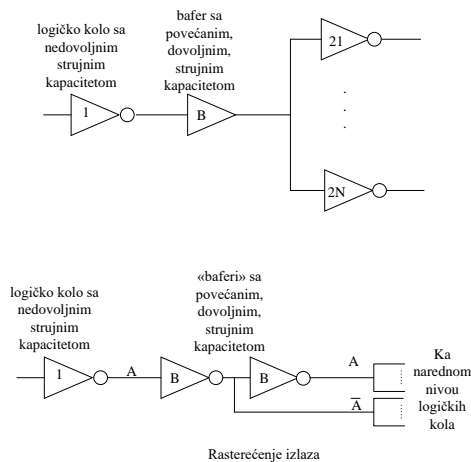
$$N_H = \frac{|I_{OH}|}{I_{IH}} = \frac{\frac{V_{CC} - V_{OHmin}}{R_C}}{\frac{V_{CC} - V_{BES}}{R_B}} = \frac{R_B V_{CC} - V_{OHmin}}{R_C V_{CC} - V_{BES}} \sim \frac{R_B}{R_C}$$

Što veće
Što manje
????

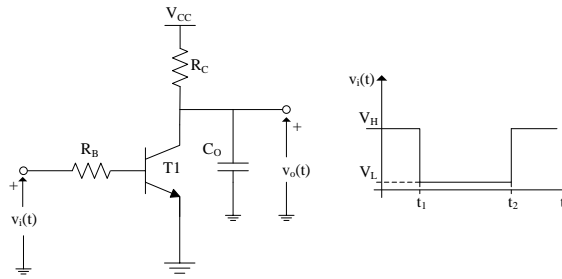
$$N = \min(N_L, N_H)$$



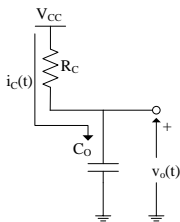
Povećanje strujnog kapaciteta Rasterećenje ulaza



Dinamičke karakteristike



$t \geq t_1$

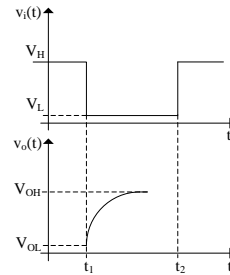


$$\tau = C_0 R_C$$

$$v(t_1^+) = V_{OL}$$

$$v_0(\infty) = V_{CC} - v_R(\infty) = V_{CC} - 0 = V_{CC}$$

$$v_0(t) = V_{CC} + (V_{OL} - V_{CC})e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$



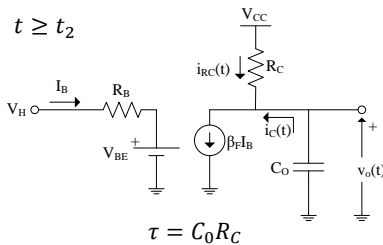
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

29

29

$t \geq t_2$



$$v_0(t) = V_{CC} - R_C i_{RC}(t) = V_{CC} - R_C (\beta_F I_B - i_C(t))$$

$$i_C(\infty) = 0$$

$$v_0(\infty) = V_{CC} - R_C i_{RC}(\infty) = V_{CC} - R_C \beta_F I_B$$

$$v_0(\infty) = V_{CC} - R_C i_{RC}(\infty) = V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE})$$

$$\frac{R_C \beta_F}{R_B} \gg 1$$

$$\frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \gg V_{CC}$$

$$v_0(\infty) \ll 0 \quad \text{PO MODELU}$$

$$v_0(t) = V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) + \left(V_{OH} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right) \right) e^{-\frac{t-t_2}{\tau}}$$

$$t_3 \geq t \geq t_2$$

DOK JE TRANZISTOR U AKTIVNOM REŽIMU

$$v(t_2^+) = V_{OH}$$



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

30

30

$$v_o(t) = V_{CC} + \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \left(e^{-\frac{t-t_2}{\tau}} - 1 \right) \quad \text{za } t_3 \geq t \geq t_2$$

Trenutak t_3 možemo da nađemo iz prethodne jednačine pošto tada tranzistor ulazi u zasićenje, odnosno izlazni napon postaje jednak V_{CES}

$$v_o(t_3) = V_{CES} = V_{CC} + \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \left(e^{-\frac{t_3-t_2}{\tau}} - 1 \right)$$

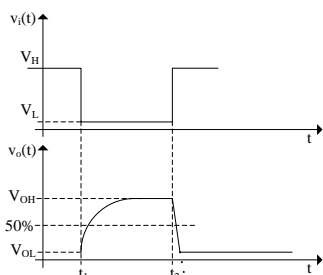
Iz opšteg rešenja

$$t_1 = t_0 + \tau \ln \left(\frac{p(t_0^+) - p(\infty)}{p(t_1) - p(\infty)} \right)$$

$$t_3 = t_2 + \tau \ln \left(\frac{v_o(t_2^+) - v_o(\infty)}{v_o(t_3) - v_o(\infty)} \right)$$

$$t_2 - t_1 = \tau \ln \left(\frac{p(t_1) - p(\infty)}{p(t_2) - p(\infty)} \right)$$

$$t_3 = t_2 + \tau \ln \left(\frac{V_{OH} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right)}{V_{OL} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right)} \right)$$



Ne smemo koristiti gotove izraze za

$$t_{pHL} = 0.69\tau$$

$$t_f = 2.2$$

pa je

$$v_o(t_2 + t_{pHL}) = V_{OH} - 50\%(V_{OH} - V_{OL}) = V_{OH} - \frac{V_{OH} - V_{OL}}{2} = \frac{V_{OH} + V_{OL}}{2}$$

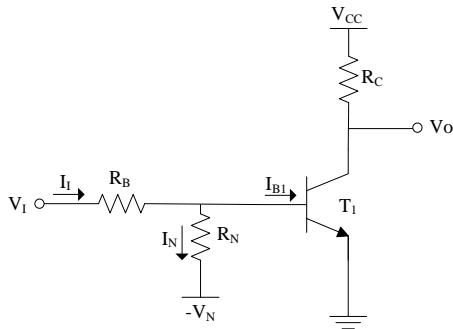
$$t_{pHL} = \tau \ln \left(\frac{V_{OH} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right)}{\frac{V_{OH} + V_{OL}}{2} - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right)} \right)$$

$$t_f = \tau \ln \left(\frac{\left((0.9V_{OH} + 0.1V_{OL}) - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right) \right)}{\left((0.1V_{OH} + 0.9V_{OL}) - \left(V_{CC} - \frac{R_C \beta_F}{R_B} (V_H - V_{BE}) \right) \right)} \right)$$

Ostaje pitanje vrednosti V_H . Očigledno je da taj napon mora biti iz opsega V_{IH} do V_{OH} , a na osnovu prethodnih diskusija kod strujnih kapaciteta izabraćemo najgori slučaj iz tog opsega, što pokazuju svi izvedeni izrazi, odnosno $V_H = V_{OHmin}$ a kao što je rečeno to bi i bilo u katalogu



Integrirano RTL kolo



$$R_{Bnovo} = R_T = R_B \parallel R_N$$

$$V_{Inovo} = E_T = V_I \frac{R_N}{R_B + R_N} - V_N \frac{R_B}{R_B + R_N}$$

pa je na primer uz uslov za $V_{ILnovo} = V_{YT}$

$$V_{YT} = V_{IL} \frac{R_N}{R_B + R_N} - V_N \frac{R_B}{R_B + R_N}$$

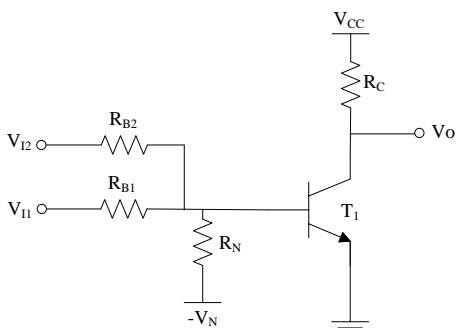
odnosno

$$V_{IL} = \frac{R_B + R_N}{R_N} \left(V_{YT} + V_N \frac{R_B}{R_B + R_N} \right) = \left(1 + \frac{R_B}{R_N} \right) V_{YT} + \frac{R_B}{R_N} V_N$$

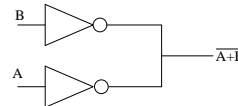


Višeulazna RTL kola

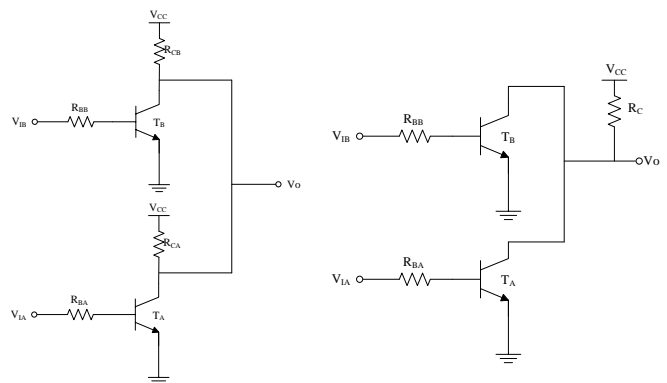
1.



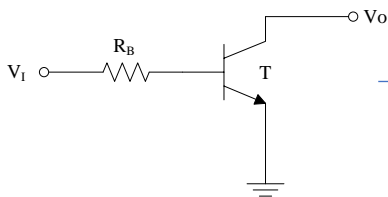
2.



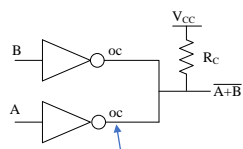
U oštem slučaju za logička kola **ZABRANJENO** spajanje izlaza. Kod RTL kola i u specijalnim slučajevima sme.



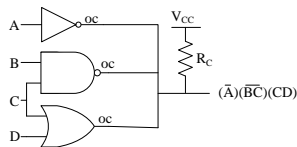
Logička kola sa otvorenim kolektorom



Nema otpornika Rc



Ne postoji poseban simbol za kolo sa otvorenim kolektorom

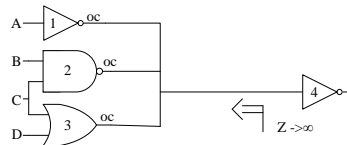
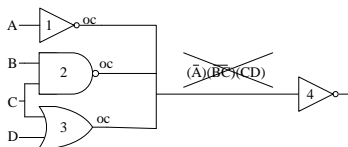


Pravljenje složenih logičkih funkcija



Situacija kada nema otpornika koji će definisati napon logičke jedinice – stanje visoke impedanse

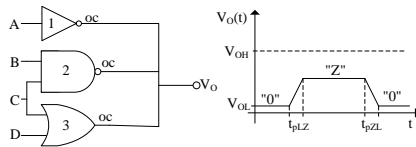
Problem koji se pojavljuje jeste pitanje: Šta se nalazi na liniji kada su svi izlazni tranzistori logičkih kola 1, 2 i 3 zakočeni. Odgovor ništa ne postoji u elektronici. Kako to shvata naredno logičko kolo 4. Kao prvo, jednačina Bulove algebre više ne važi pošto ne postoji stanje logičke jedinice na liniji. U digitalnoj elektronici to stanje se naziva stanjem visoke impedanse.



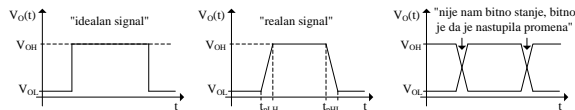
Impedansa koju vidi ulaz u logičko kolo 4 prema liniji spajanja, odnosno prema izlazima logičkih kola 1, 2 i 3 kada su svi izlazni tranzistori u njima zakočeni je beskonačna. Nema putanje prema napajanju ili masi.



Način crtanja



Podsetnik



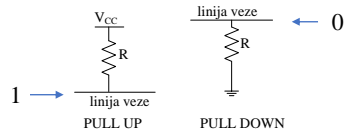
Ostaje pitanje kako će stanje visoke impedanse na liniji shvatiti logičko kolo 4. Odgovor nije jednoznačan pošto zavisi od tipa kola. Na primer kod RTL kola to znači da je ulaz „ostavljen da visi“. Na ulazu nema napona. U tom slučaju ne postoje uslovi da provodi tranzistor i na izlazu će biti logička jedinica, kao da je na ulazu logička nula. Ali ne treba zaboraviti da je ova linija „koja visi“ metalni vod koj može predstavljati dobru antenu za smetnje iz okoline. Kako je ulazna impedansa u RTL logičko kolo visoka, smetnja može izazvati da tranzistor počne da vodi, odnosno da logičko kolo shvati da je na ulazu logička jedinica. Ovakve situacije moraju da se u projektovanju digitalnih sistema spreče.

Slično je pitanje i kako radi na primer dvoulazno logičko NI kolo kada mu jedan ulaz nije povezan sa ostatkom sistema.



I ponovo, šta će biti na izlazu kola u situaciji $A=1$, odgovor nije jednoznačan, zavisno je od tipa kola, smetnji u okolini itd... Opšte pravilo: Nekorišćeni ulazi u kolo moraju biti terminisani, odnosno dovedeni na neaktivne naponske nivoe. Na primer u ovom slučaju NI logičkog kola na nivo logičke jedinice. Terminacije koji je upotrebljen znači da impedansa linije prema napajanju ili masi bude konačna. Terminacija se najčešće izvodi pomoću otpornika

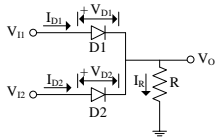
Terminacija linija



Diodna logika

Diode su „dobri“ elementi elektronike koji mogu na lak način da obezbede višulaznu logiku.

Diodna ILI funkcija



Diode su katodama povezane u zajedničku tačku i preko puldaun otpornika povezane na masu. Posmatrajmo situaciju da su oba ulazna napona $V_{11}=V_{12}=0$. Ako bi pretpostavili da bilo koja od dioda vodi napon na njoj bi bio V_D i po konturi na primer diode D1 i otpornika R

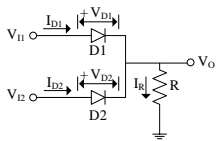
$$V_{I1} - V_{D1} - V_O = 0$$

Odnosno $0 - V_D - V_O = 0$. Kako je $V_O = R I_R$ onda je $I_R = -\frac{V_D}{R} = I_D$ pa bi struja kroz diodu bila negativna što je u suprotnosti sa početnom pretpostavkom da dioda vodi. Znači diode ne vode. Izlazni napon je $V_O=0$. Situacija se sigurno neće promeniti dok god su ulazni naponi manji od $V_{\gamma D}$.



Posmatrajmo situaciju kada je na primer $V_{11} \gg V_{\gamma D}$ dok je V_{12} i dalje manje od $V_{\gamma D}$. Ako bi sada i dalje pretpostavili da diode ne vode izlazni napon bi bio nula, što znači da je na katodi diode D1 napon jednak nuli. Na anodi diode D1 je ulazni napon pa bi napon na diodi bio $V_{D1}=V_{11} \gg V_{\gamma D}$. Znači dioda za koju smo smatrali da ne vodi, da je zakočena ima sve uslove da provodi. Pogrešna polazna pretpostavka.

Smatrajmo sada da dioda D1 vodi. U tom slučaju po konturi diode D1 i otpornika R



$$V_{I1} - V_{D1} - V_O = 0$$

Kako smatramo da dioda vodi

$$V_{I1} - V_D = V_O$$

odnosno

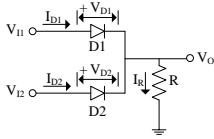
$$I_R = \frac{V_{I1} - V_D}{R} = I_D > 0$$

pošto je pretpostavka $V_{11} \gg V_{\gamma D}$.

Struja kroz diodu je pozitivna, što se slaže sa našom polaznom pretpostavkom da dioda vodi. Napon na izlazu je $V_O = V_{I1} - V_D$. Dioda D2 ne vodi, inverzno je polarizovana pošto je $V_{D2} = V_{I2} - V_O = 0 - (V_{I1} - V_D) < 0$.

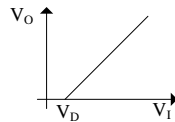


Zbog simetrije istu situaciju bi dobili i da je $V_{I2} \gg V_{yD}$ dok je V_{I1} i dalje manje od V_{yD} . Tada bi vodila dioda D2, dioda D1 bi bila zakočena, inverzno polarizovana, a izraz za izlazni napon bi bio $V_O = V_{I2} - V_D$.



Na potpuno identičan način u slučaju $V_{I1} = V_{I2} \gg V_{yD}$ se vidi da će obe diode i D1 i D2 voditi. Dele struju I_R .

Znači na ulazu (V_L, V_L) na izlazu V_L . Ako je na bilo kojem ulazu V_H biće visok napon i na izlazu. Logička funkcija je dvoulazna ILI funkcija. Uočiti da će se kolo isto ponašati i ako dodamo na isti način D3, D4, ..., odnosno da na lak način možemo povećati broj ulaza u kolo.

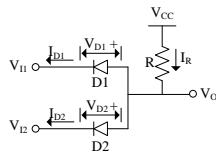


Ovo kolo ne može biti logičko kolo pošto mu karakterisitka prenosa ne odgovara, ali obezbeđuje jednostavn višelaznu logičku ILI funkciju



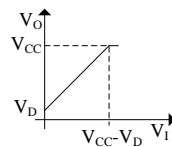
Diodna I funkcija

Na isti način kao u prethodnom slučaju



Ako su oba ulaza na visokom nivou diode ne vode i izlaz je na visokom nivou.

Ako je na bilo kojem ulazu nizak nivo vodi odgovarajuća dioda i na izlazu je nizak nivo.

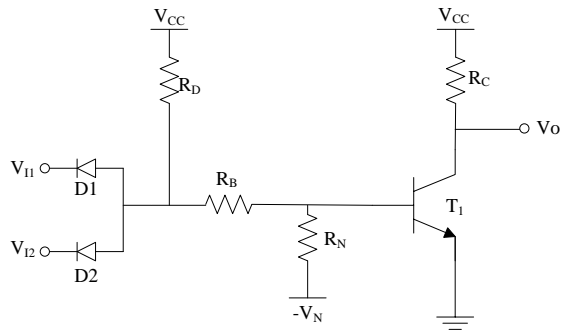


Ovo kolo ne može biti logičko kolo pošto mu karakteristika prenosa ne odgovara, ali obezbeđuje jednostavnu višelaznu logičku I funkciju



DTL logička kola

RTL -> DTL



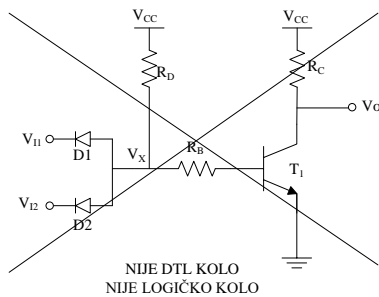
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

43

43

Smeta negativno napajanje. Da ga izbacimo?



Nema održanja naponskih nivoa. Za logičku nulu na ulazu, V_{CES} , tranzistor će raditi.

U ovom kolu kada je na ulazu nizak napon, na primer V_{11} , pa čak i jednak 0, dioda D1 će voditi i napon tačke V_x će biti jednak V_D što je po konturi R_B i V_{BE1} dovoljno da tranzistor vodi. Znači u ovoj konfiguraciji za opsege napona 0 do V_{CC} tranzistor će uvek voditi!



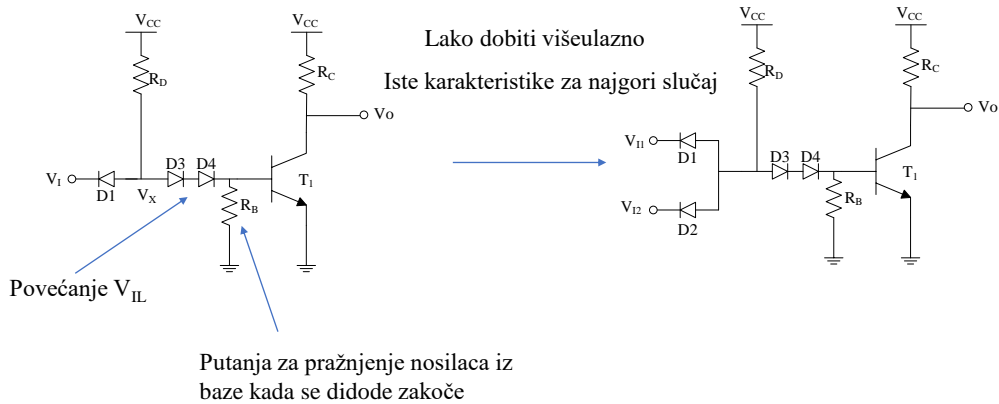
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

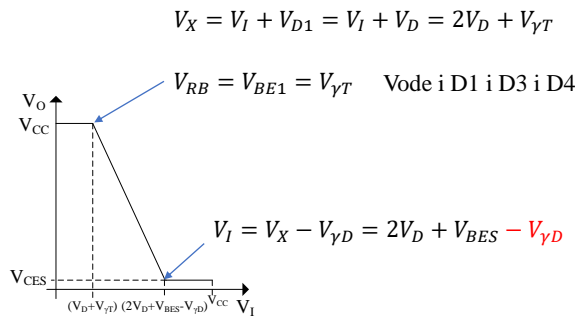
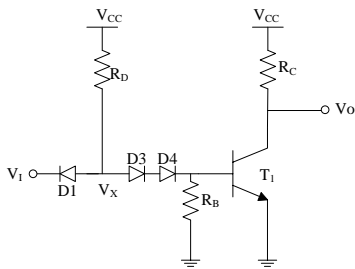
44

44

Analiza na invertoru



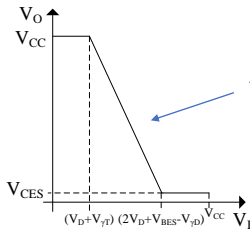
Karakteristika prenosa DTL kola



Suštinski i ranije ulazi u zasićenje

$$V_{OL} = V_{CES}, V_{OH} = V_{CC}, V_{IL} = V_D + V_{\gamma T}, V_{IH} = 2V_D + V_{BES} - V_{\gamma D}$$





$$V_O = \frac{V_{CC} - V_{CES}}{(V_D + V_{\gamma T}) - (2V_D + V_{BES} - V_{\gamma D})} (V_I - (V_D + V_{\gamma T})) + V_{CC}$$

$$a = \frac{V_{CC} - V_{CES}}{(V_D + V_{\gamma T}) - (2V_D + V_{BES} - V_{\gamma D})} = - \frac{V_{CC} - V_{CES}}{V_D + V_{BES} - V_{\gamma D} - V_{\gamma T}}$$

$$V_I = V_O$$

$$V_I = a (V_I - (V_D + V_{\gamma T})) + V_{CC}$$

$$V_I = \frac{V_{CC} - a(V_D + V_{\gamma T})}{(1 - a)} = V_M$$

Margine šuma za višestruke izvore šuma su

$$NM_{LMS} = V_{IL} - V_{OL} = V_D + V_{\gamma T} - V_{CES}$$

$$NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - 2V_D - V_{BES} + V_{\gamma D}$$

Zbog uske prelazne zone margine šuma za jednostruke izvore će biti slične po vrednosti.

$$NM_{LSS} = V_M - V_{OL} = V_M - V_{CES}$$

$$NM_{HSS} = V_{OH} - V_M = V_{CC} - V_M$$



Strujni kapacitet DTL logičkog kola

$$I_{max} = - \frac{V_{CC} - V_D - V_{Imin}}{R_D} = - \frac{V_{CC} - V_D - 0}{R_D} = - \frac{V_{CC} - V_D}{R_D}$$

$$I_{IL} = - \frac{V_{CC} - V_D}{R_D}$$

$$I_{IH} = 0$$

$$I_{Omax} = I_{OH} = - \frac{V_{CC} - V_{OHmin}}{R_C}$$

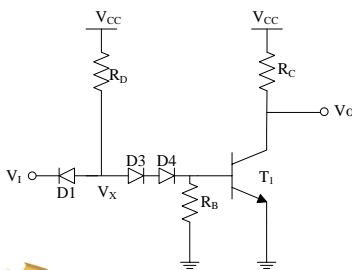
$$I_{OL} = ?$$

$$I_O < \beta_F I_B - I_{RC} = \beta_F I_B - \frac{V_{CC} - V_{CES}}{R_C}$$

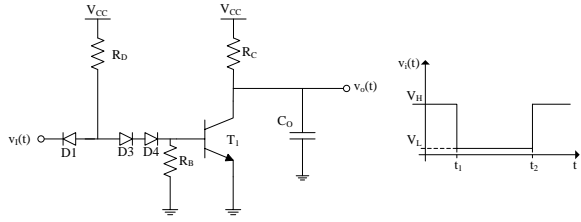
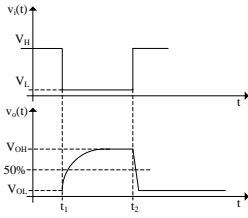
$$I_B = I_{RD} - I_{RB} = \frac{V_{CC} - V_{D3} - V_{D4} - V_{BE1}}{R_D} - \frac{V_{BE1}}{R_B}$$

$$I_B = \frac{V_{CC} - V_D - V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} = \frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B}$$

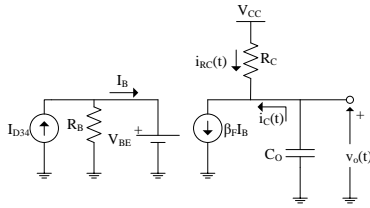
$$I_{Omax} = I_{OL} = \beta_F I_B - I_{RC} = \beta_F \left(\frac{V_{CC} - 2V_D - V_{BES}}{R_D} - \frac{V_{BES}}{R_B} \right) - \frac{V_{CC} - V_{CES}}{R_C}$$



Dinamičke karakteristike DTL kola



$$v_o(t) = V_{CC} + (V_{OL} - V_{CC})e^{-\frac{t-t_1}{\tau}} \quad t \geq t_1$$

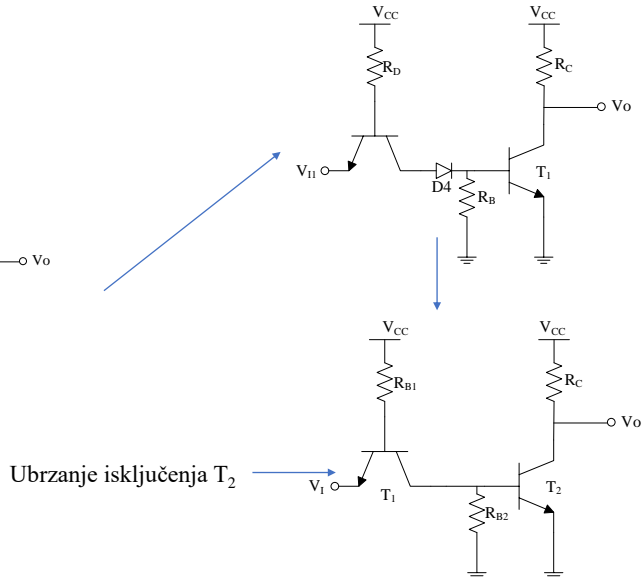
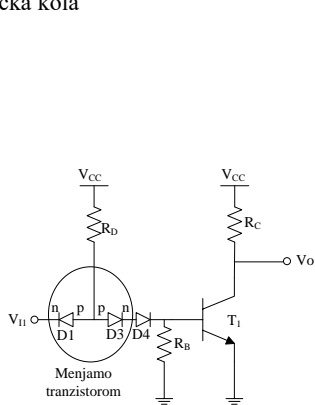


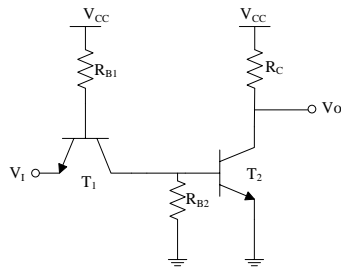
$$v_o(t) = V_{CES} - R_C I_{OL} + (V_{OH} - (V_{CES} - R_C I_{OL}))e^{-\frac{t-t_2}{\tau}} \quad t_3 \geq t \geq t_2$$

$$t_3 = t_2 + \tau \ln \left(1 + \frac{V_{CC} - V_{CES}}{R_C I_{OL}} \right)$$

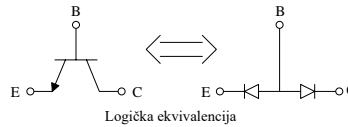


TTL logička kola

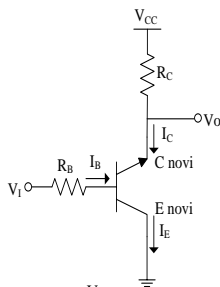




Prilikom analize da se pomognemo



Inverzni režim rada tranzistora



Emitor i kolektor zamene mesta. Tranzistor isto kao i u direktnom režimu može biti u inverznom aktivnom režimu kada važi da je bazno kolektorski spoj direktno polarizovan a bazno emitterski spoj inverzno polarizovan a veza struja je

$$I_{Cn} = \beta_R I_B \quad I_{En} = (\beta_R + 1) I_B \quad 0.1 < \beta_R < 5$$

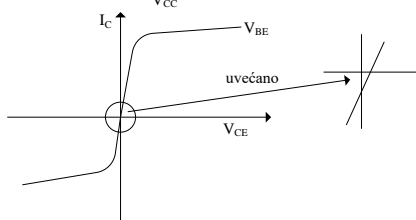
gde je β_R strujno pojačanje u inverznom aktivnom režimu. Inverzno zasićenje, uslov je

$$\beta_R I_{Bn} > I_{Cn} \quad V_{CE} = V_{CESI} > 0$$

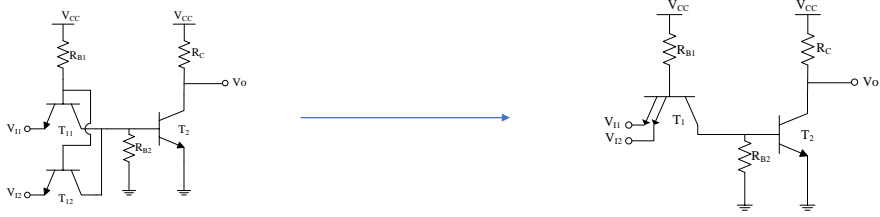
gde je V_{CESI} napon inverznog zasićenja. Obratite pažnju da su indeksi za „novi“ kolektor i emiter. Sa pravim indeksima

$$I_E = -\beta_R I_B \quad I_C = -(\beta_R + 1) I_B \quad 0.1 < \beta_R < 5$$

$$\beta_R I_B > |I_E| \quad V_{CE} = V_{CESI} < 0$$



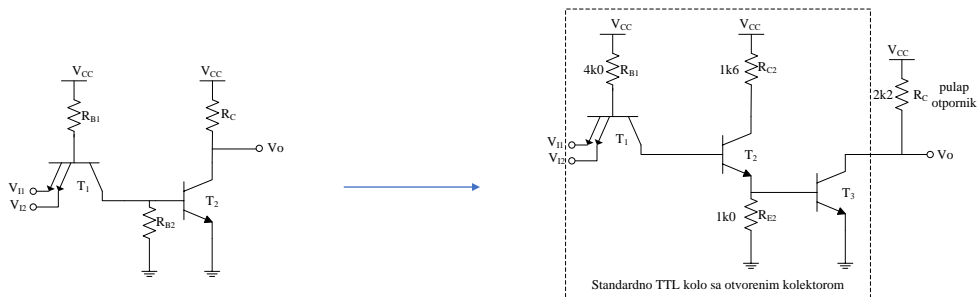
Višulazna kola



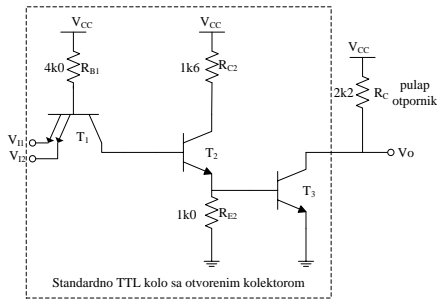
Veći broj emitera



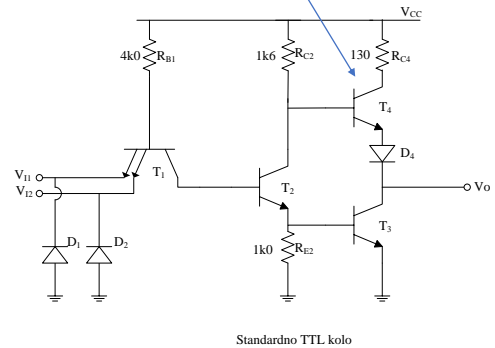
Zbog malih margina šuma a i



Standardno TTL logičko kolo



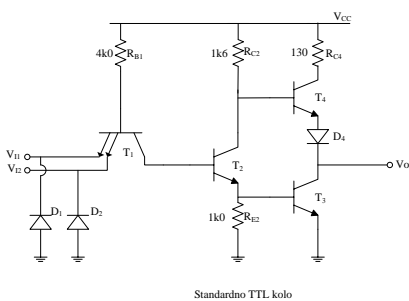
Totem pole



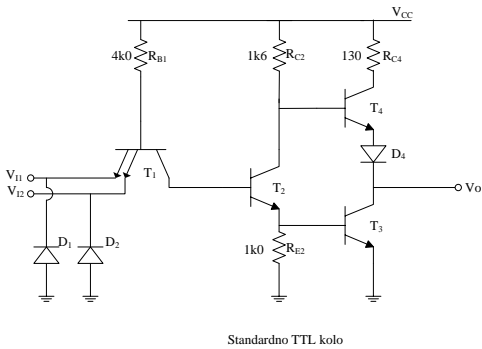
Povećanje strujnog kapaciteta logičke jedinice



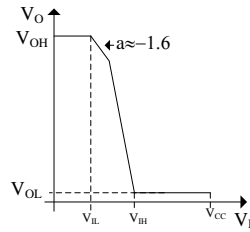
1. Diode D1 i D2 na ulazu kola. One su obavezni deo na ulazu u TTL logička kola, i služe da štite ulaz od napona koji su manji od napona mase. Videli smo da ta situacija može da se pojavi kada imamo diferencijatorski efekat u toku signala. Veliki negativan napon na bio kojem ulazu bi rezultovao u velikoj struji kroz tranzistor T1 koji tada radi u direktnom zasićenju i čija je struja direktno proporcionalna ulaznom naponu, Došlo bi prevelike disipacije na ulaznom delu kola pa i do njegovog „pregorevanja“. U toku normalnih režima rada te diode nemaju nikakvu funkciju tako da ćemo ih u našoj analizi „ignorirati“.
2. Tranzistor T4, otpornik R_{C4} i dioda D4, Ta konfiguracija naziva se totempol (totem pole) konfiguracijom i cilj je da zamene otporniku u kolektoru izlaznog tranzistora. Videli smo da je bilo „problema“ sa tim otpornikom. Treba da bude mali da bi strujni kapacitet logičke jedinice bio velik, a treba da bude velik da bi na karakteristici imali što veće pojačanje itd. Ideja je da tranzistor T4 radi samo kada bi trebala na izlazu da bude logička jedinica i da obezbeđuje veliki strujni kapacitet. A da je isključen kada bi na izlazu trebala da bude logička nula i da ne smeta strujnom kapacitetu logičke nule. Suštinski to obezbeđuje tranzistor T2 i to je ranije spomenuta njegoova druga uloga.



Karakteristika prenosa



Standardno TTL kolo

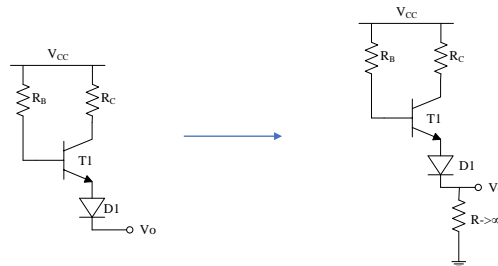


Ako se na oba ulaza nalaze niski naponi, tranzistor T1 će raditi u zasićenju. T2 i T3 će biti zakočeni. Totempol konfiguracija ima uslove za provođenje kao što smo ranije videli i na izlazu je visok napon. Ako je na bilo kojem ulazu niski napon situacija se neće promeniti pošto je tranzistor T1 i dalje u zasićenju. Ako su na oba ulaza visoki naponski nivoi tranzistor T1 će raditi u inverznom aktivnom režimu. Tranzistor T2 će biti u zasićenju kao i tranzistor T3. Na izlazu je nizak naponski nivo.

Dvoulazno NI logičko kolo



Totem pol



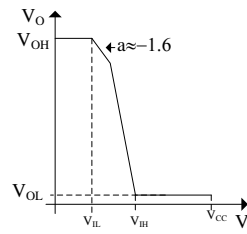
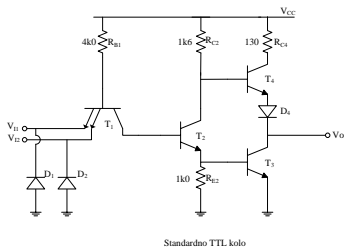
Kako otpornost u emitoru teži beskonačnosti

$$I_E \rightarrow 0 \Rightarrow I_C \rightarrow 0 \wedge I_C \rightarrow 0 \Rightarrow V_C \rightarrow V_{CC} \wedge V_B \rightarrow V_{CC}$$

Napon između baze i kolektora je jednak nuli, tranzistor je u aktivnom režimu. Radi sa jako malim strujama pa možemo reći da je na ivici provođenja. Isto važi i za diodu D1. U tom slučaju

$$V_0 = V_{CC} - R_B I_{B1} - V_{BE1} - V_{D1} = V_{CC} - 0 - V_{\gamma T} - V_{\gamma D} = V_{CC} - V_{\gamma T} - V_{\gamma D}$$





$$V_{OH} = V_{CC} - V_{BE4} + V_{D4} = V_{CC} - V_{YT} - V_D$$

$$V_{OL} = V_{CE3} = V_{CES}$$

$$V_{IH} = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{BE} + V_{BES}$$

$$V_{IL} = -V_{CE1} + V_{BE2} + V_{BE3} = -V_{CES} + V_{YT} + 0 = -V_{CES} + V_{YT}$$

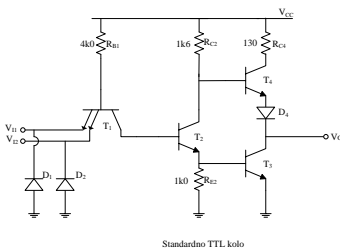
Margine šuma za višestruke izvore

$$NM_{HMS} = V_{OH} - V_{IH} = V_{CC} - V_{YT} - V_D + V_{CES} - V_{BE} - V_{BES}$$

$$NM_{LMS} = V_{IL} - V_{OL} = -V_{CES} + V_{YT} - V_{CES}$$



Strujni kapacitet TTL logičkog kola



$$I_{IL} = -\frac{V_{CC} - V_{BES}}{R_{BE1}}$$

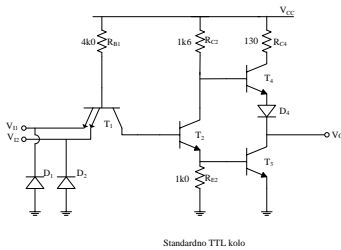
$$I_I = \beta_R \frac{I_{B1}}{2} = \frac{\beta_R}{2} \frac{V_{CC} - V_{BC1} - V_{BE2} - V_{BE3}}{R_{B1}}$$

I tranzistor T2 i T3 su tada u zasićenju. Kako su oba emitera na visokom nivou bazna struja se deli na ta dva tranzistora i zato se pojavljuje izraz $\frac{I_{B1}}{2}$. Da ih je bilo n bilo bi $\frac{I_{B1}}{n}$. Znači

$$I_{IH} = \frac{\beta_R}{2} \frac{V_{CC} - V_D - V_{BES} - V_{BES}}{R_{B1}}$$



Strujni kapacitet TTL logičkog kola



Standardno TTL kolo

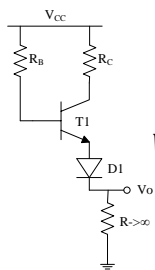
$$I_{OL} = (\beta_F + 1) \frac{V_{CC} - V_{CES} - V_{BES}}{R_{C2}} - \beta_F \frac{V_{BES}}{R_{E2}}$$

$\beta_F R_{C4} > R_{C2}$ Radi u zasićenju za velike struje

$$I_O = -(I_{B4} + I_{C4}) = -\left(\frac{V_{CC} - V_{BE4} - V_{D4} - V_H}{R_{C2}} + \frac{V_{CC} - V_{CE4} - V_{D4} - V_H}{R_{C4}}\right)$$

I pod pretpostavkom da napon na izlazu sme da padne maksimalno do V_{OHmin}

$$I_{OH} = -\left(\frac{V_{CC} - V_{BES} - V_D - V_{OHmin}}{R_{C2}} + \frac{V_{CC} - V_{CES} - V_D - V_{OHmin}}{R_{C4}}\right)$$



U aktivnom režimu

$$V_O = V_{CC} - R_B I_{B1} - V_{BE1} - V_{D1}$$

$$I_{E1} = \frac{V_O}{R}$$

$$I_{B1} = \frac{I_{E1}}{\beta_F + 1}$$

$$I_{C1} = \beta_F I_{B1} = \frac{\beta_F}{\beta_F + 1} I_{E1}$$

Uslov da tranzistor radi u aktivnom režimu je

$$V_{CE1} > V_{CES}$$

$$V_{CE1} = V_{C1} - V_{E1} = (V_{CC} - R_C I_{C1}) - (V_O + V_{D1})$$

Uslov

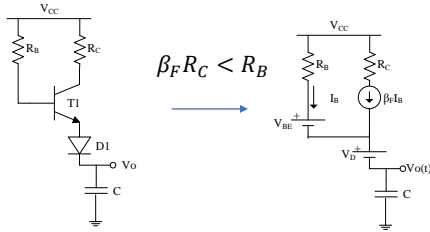
$$V_O < \frac{V_{BE1} - V_{CES}}{1 - \frac{R_C \beta_F}{R_B}} + (V_{CC} - V_{BE1} - V_{D1}) \quad \text{za } R_C \beta_F < R_B$$

$$V_O > \frac{V_{BE1} - V_{CES}}{1 - \frac{R_C \beta_F}{R_B}} + (V_{CC} - V_{BE1} - V_{D1}) \quad \text{za } R_C \beta_F > R_B$$

Bez ulaženja u dublju analizu vidi se da će za opsege izlaznog napona $0 \leq V_O \leq V_{CC}$ režim rada tranzistor zavisiti od odnosa otpornika R_C i R_B . Na primer ako je $R_C=0$, tranzistor će uvek raditi u aktivnom režimu. A ako je $\beta_F R_C < R_B$ praktično uvek u aktivnom režimu. A ako je $\beta_F R_C > R_B$ u zavisnosti od odnosa može da se desi da za neke napone (više napone) radi u aktivnom režimu, a za neke niže u zasićenju.



Dinamički režim L → H



Vremenska konstanta punjenja je

$$\tau = C * \frac{R_B}{\beta_F + 1}$$

Pošto je izlazni napon istovremeno i napon na kondenzatoru i ako smo počeli da posmatramo pojavu u trenutku t_0 kada je napon na kondenzatoru bio nizak V_L onda je

$$v_o(t_0^+) = v_c(t_0^+) = v_c(t_0^-) = V_L$$

Napon u beskonačnosti po modelu dobija se kada je struja kroz kondenzator jednaka nuli što znači da je u beskonačnosti i $I_B=0$, pa je

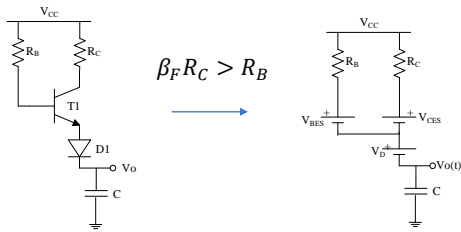
$$v_o(\infty) = V_{CC} - V_{BE} - V_D$$

Konačan izraz je već dobro poznati

$$v_o(t) = v_o(\infty) + (v_o(t_0^+) - v_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$



Dinamički režim L → H



$$\tau = C * (R_B \parallel R_C)$$

$$v_o(t_0^+) = v_c(t_0^+) = v_c(t_0^-) = V_L$$

$$v_{RB}(t) + V_{BES} - V_{CES} - v_{RC}(t) = 0$$

$$R_B i_{RB}(t) + V_{BES} - V_{CES} - R_C i_{RC}(t) = 0$$

$$i_{RB}(\infty) + i_{RC}(\infty) = 0$$

$$i_{RC}(\infty) = \frac{V_{BES} - V_{CES}}{R_B + R_C}$$

$$v_o(\infty) = V_{CC} - R_C i_{RC}(\infty) - V_{CES} - V_D$$

$$= V_{CC} - V_{CES} - V_D - R_C \frac{V_{BES} - V_{CES}}{R_B + R_C}$$

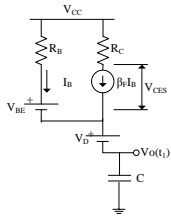
Samo dok radi u zasićenju. U nekom trenutku prelazi u aktivan režim a onda važi prethodni slajd.

Izraz za izlazni napon je

$$v_o(t) = v_o(\infty) + (v_o(t_0^+) - v_o(\infty))e^{-\frac{t-t_0}{\tau}} \quad \text{za } t \geq t_0$$



Koji je to trenutak?



$$\beta_F i_B(t_1) = i_C(t_1)$$

$$R_B i_B(t_1) + V_{BE} = R_C i_C(t_1) + V_{CES} = R_C \beta_F i_B(t_1) + V_{CES}$$

$$i_B(t_1) = \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B}$$

$$v_o(t_1) = V_{CC} - R_B i_B(t_1) - V_{BE} - V_D = V_{CC} - R_B \frac{V_{BE} - V_{CES}}{R_C \beta_F - R_B} - V_{BE} - V_D$$

$$v_o(t_0^+) = V_L$$

$$v_o(\infty) = V_{CC} - V_{BE} - V_D$$

$$\tau_2 = C * \frac{R_B}{\beta_F + 1}$$

$$t_1 = t_0 + \tau_2 \ln \left(\frac{v(t_0^+) - v(\infty)}{v(t_1) - v(\infty)} \right)$$

$$t_1 = t_0 + \tau_2 \ln \left(\frac{R_C \beta_F - R_B}{R_B} * \frac{V_{CC} - V_{BE} - V_D - V_L}{V_{BE} - V_{CES}} \right)$$



Katedra za elektroniku
prof dr Lazar Saranovac

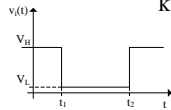
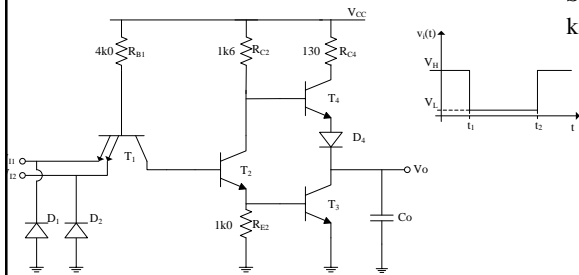
Digitalna elektronika 1 - 2021/22

65

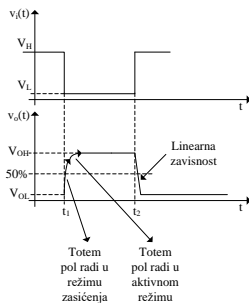
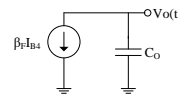
65

Dinamički režim

Sa datim brojnim vrednostima tranzistor će raditi u zasićenju kada se dostigne 50% promene pa možemo odmah da pišemo



$$t_{pLH} = \tau_2 \ln \left(\frac{v(t_1^+) - v(\infty)}{\frac{V_{OL} + V_{OH}}{2} - v(\infty)} \right)$$



$$v_o(t) = v_o(t_2^+) - \frac{I_{OL}}{C} (t - t_2) \quad \text{za } t \geq t_2$$

$$\frac{V_{OL} + V_{OH}}{2} = V_{OH} - \frac{I_{OL}}{C} t_{pHL}$$

$$t_{pHL} = C \frac{V_{OH} - V_{OL}}{2I_{OL}}$$



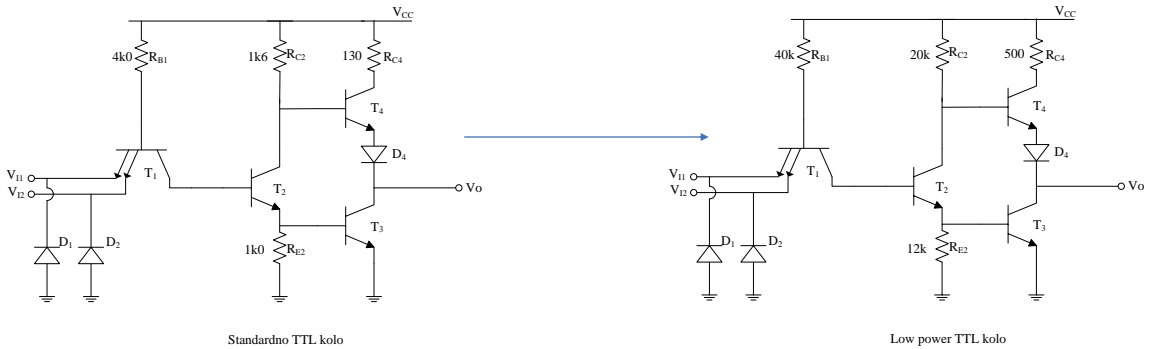
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

66

66

Low power TTL



Povečane vrednosti otpornika



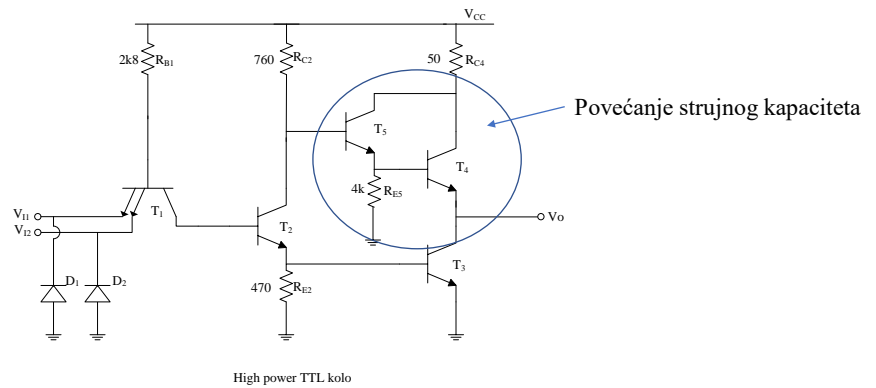
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

67

67

High power TTL



$$V_{OH} = V_{CC} - V_{RC2} - V_{BE5} - V_{BE4}$$

$$V_{OH} = V_{CC} - R_{C2} \frac{V_{CC} - V_{BE}}{R_{C2} + \beta_F R_{E5}} - V_{BE} - V_{YT} \approx V_{CC} - V_{BE} - V_{YT}$$



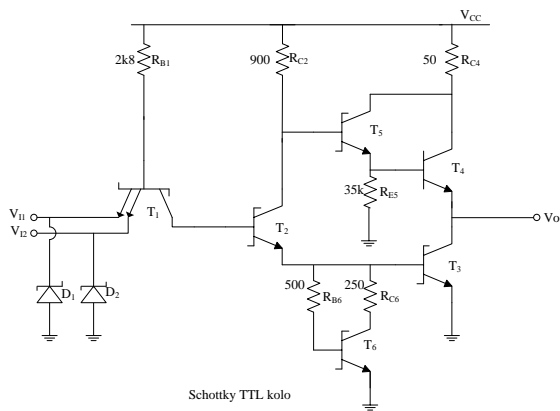
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

68

68

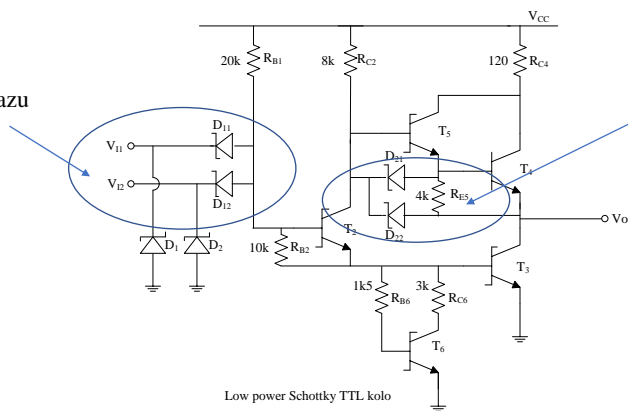
Schottky TTL



71

Low power Schottky TTL

Uloga tranzistora na ulazu postaje „nepotrebna“



Ubrzanje rada



72

Kataloške karakteristike

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54			4.0	mA
		74			8.0	



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

73

73

Kataloške karakteristike

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5	V	
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 4.0 mA I _{OL} = 8.0 mA V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74	0.35	0.5	V	
I _{IH}	Input HIGH Current			20	µA	V _{CC} = MAX, V _{IN} = 2.7 V
I _{IL}	Input LOW Current			0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current (Note 1)	-20		-100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current Total, Output HIGH			1.6	mA	V _{CC} = MAX
				4.4		

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH}	Turn-Off Delay, Input to Output		9.0	15	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Turn-On Delay, Input to Output		10	15	ns	



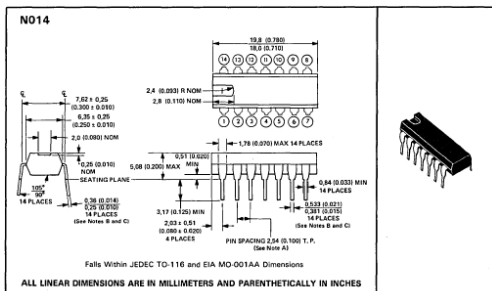
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

74

74

Pakovanje i oznake



74LS00

Standardna oznaka je započinjala brojevima

1. 74 što je označavalo komercijalne komponente
 2. 54 komponente predviđene za vojne primena
- Zatim su sledile slovne oznake koje su označavale familiju logičkih kola od koji su najznačajnije
1. Bez oznake – standardno TTL
 2. L – Low power TTL
 3. H – High power TTL
 4. S – Schottky TTL
 5. LS - Low power Schottky TTL
 6. AS – Advanced Schottky TTL
 7. ALS - Advanced low power Schottky TTL
 8. F – Fast - oznaka koju je koristio proizvođač Fairchild a suštinski je ALS

Naredne oznake su od dve do pet cifara i određuju tip kola. Suštinski nema „suvisle logike“ u dekodovanju ovih cifara. Treba pogledati u katalogu proizvođača koji je to tip kola.



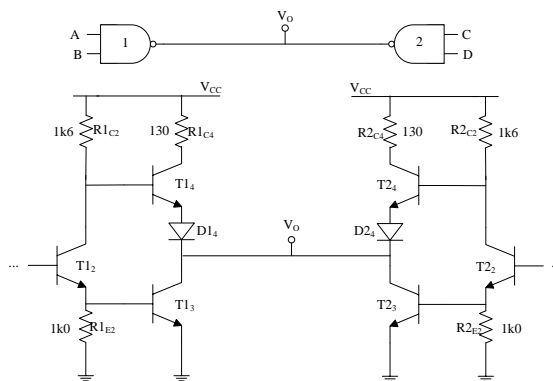
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

75

75

Trostatička kola – kola sa stanjem visoke impedanse na izlazu



Treba V_{O1}	Treba V_{O2}	T_1	T_4	T_3	T_2	V_O
V_L	V_L	Vodi	Ne vodi	Vodi	Ne vodi	V_L
V_L	V_H	Vodi	Ne vodi	Ne vodi	Vodi	„DIM“
V_H	V_L	Ne vodi	Vodi	Vodi	Ne vodi	„DIM“
V_H	V_H	Ne vodi	Vodi	Ne vodi	Vodi	V_H



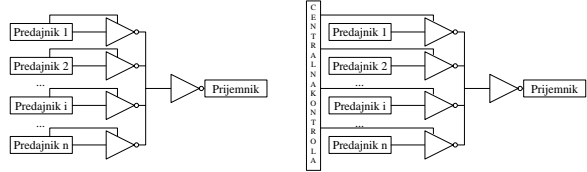
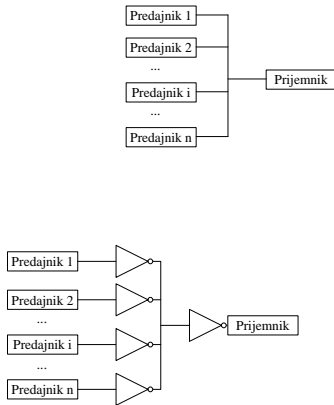
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

76

76

Gde trebaju

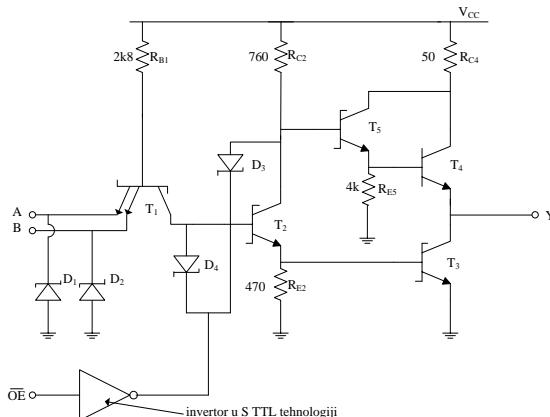


Ako imamo kola kojima možemo „dozvoliti ili zabraniti“ rad

Samo ako su sa otvorenim kolektorom

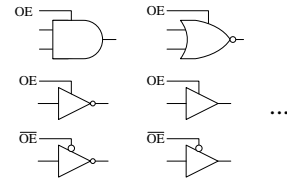


Zakočeni svi izlazni tranzistori.
Stanje visoke impedanse na izlazu.



S TTL kolo sa stanjem visoke impedanse na izlazu

Simboli

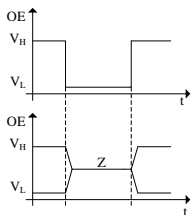


OE	A	B	Y
1	A	B	A+B
0	X	X	Z

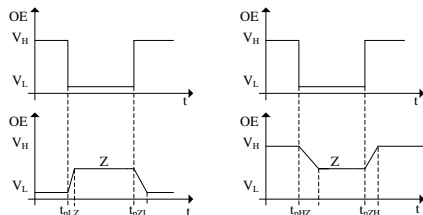
Z ne postoji u Bulovoj algebri.
Mora tabela.
Ne mogu jednačine.



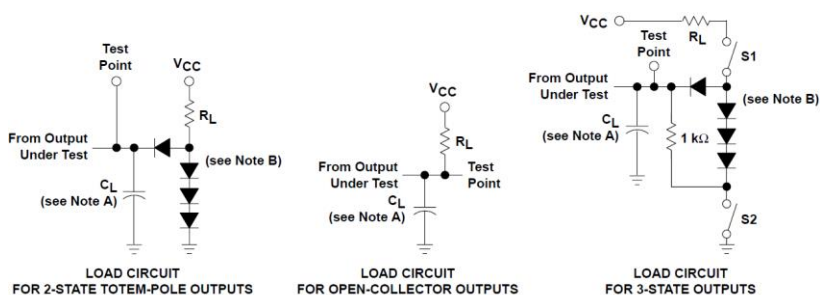
Kako se crta u vremenskim dijagramima



„dodatna“ kašnjenja



Testna kola na izlazu



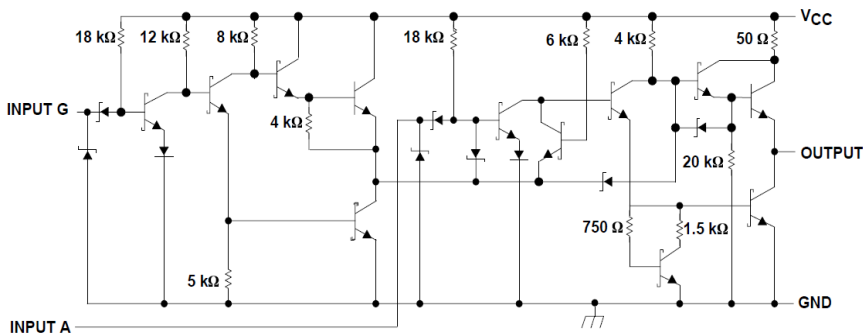
Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

79

79

'LS126A CIRCUITS



PARAMETER	TEST CONDITIONS	SN54LS125A SN74LS125A			SN54LS126A SN74LS126A			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	$R_L = 667 \Omega$, $C_L = 45 \text{ pF}$		9	15	9	15	ns	
t_{PHL}			7	18	8	18		
t_{PZH}	$R_L = 667 \Omega$, $C_L = 45 \text{ pF}$		12	20	16	25	ns	
t_{PZL}			15	25	21	35		
t_{PHZ}	$R_L = 667 \Omega$, $C_L = 5 \text{ pF}$			20		25	ns	
t_{PLZ}				20		25		



Katedra za elektroniku
prof dr Lazar Saranovac

Digitalna elektronika 1 - 2021/22

80

80

ECL – Emitter Coupled Logic

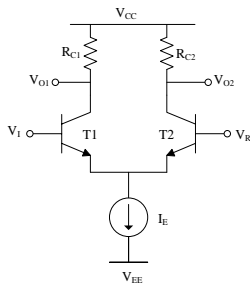
Drugi predstavnik, pojačavač, iz analogne elektronike koji bi mogao da bude kandidat za logičko kolo jeste diferencijalni pojačavač.

Istorijski gledano je i to prvo logičko kolo sa bipolarnim tranzistorima.

ECL logička kola su se praktično pojavila 1956 godine.

I danas se široko koriste u delovima digitalnih sistema gde je potrebna brzina na račun disipacije; imaju velike brzine rada ali i velike disipacije. Čak su i neki procesori realizovani u ovoj tehnologiji.

1979. godine je Motorola tržištu ponudila 4-bitni procesor MC10800 realizovan u ECL tehnologiji.



Ulazni napon V_I je na bazi tranzistora T1, dok je na bazi tranzistora T2 referentni, fiksni napon V_R . Kao i kod drugih diferencijalnih pojačavača možemo izlaz uzeti bilo sa kolektora tranzistora T1, V_{O1} , bilo sa kolektora tranzistora T2, V_{O2} . Zbog toga ECL logička kola po pravilu imaju dva izlazna priključka.

Karakteristika prenosa

Krenućemo od napona $V_I \ll V_R$. Po konturi V_I , BE T1, EB T2, V_R možemo da napišemo (i to će uvek važiti)

$$V_I = V_{BE1} - V_{BE2} + V_R$$

Kako smo pretpostavili $V_I \ll V_R$

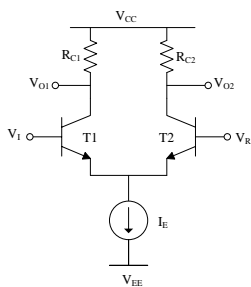
$$V_I = V_{BE1} - V_{BE2} + V_R \ll V_R$$

$$V_{BE1} - V_{BE2} \ll 0$$

Uočiti da zbog strujnog izvora I_E mora voditi bar jedan tranzistor.

(Idealan strujni izvor će prilagoditi napon na sebi tako da obezbedi putanju struju)





$$V_{BE1} - V_{BE2} \ll 0$$

Očigledno je da nejednakost može da zadovolji jedino uslovi

$$V_{BE1} \ll 0$$

$$V_{BE2} = V_{BE}$$

odnosno situacija da je tranzistor T1 zakočen, a da tranzistor T2 vodi. Otpornik R_{C2} i struja I_E se biraju sa uslovom

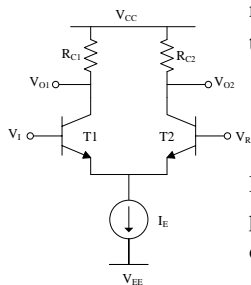
$$V_{C2} = V_{CC} - R_{C2}I_{C2} = V_{CC} - R_{C2}I_E > V_R$$

tako da tranzistor T2 kada radi ne ide u zasićenje (sva struja strujnog izvora prolazi kroz tranzistor T2 – zanemarimo bazne struje tranzistora T1 i T2). Napon na kolektoru tranzistora T2 je istovremeno i izlazni napon na izlazu V_{I2}

$$V_{O2} = V_{C2} = V_{CC} - R_{C2}I_{E2}$$

Napon na izlazu V_{I1} je

$$V_{O1} = V_{C1} = V_{CC} - R_{C1}I_{C1} = V_{CC}$$



Prilikom povećanja ulaznog napona, smanjuje se inverzna polarizacija BE spoja tranzistora T1, i pri nekom ulaznom naponu BE spoj postaje pozitivno polarizovan i mogu da se stvore uslovi da i tranzistor T1 počne da vodi

$$V_I = V_{BE1} - V_{BE2} + V_R$$

$$V_I = V_{YT} - V_{BE} + V_R$$

Pri tom ulaznom naponu još uvek sva struja I_E prolazi kroz tranzistor T2, ali prilikom daljeg povećavanja ulaznog napona počinje da se pojavljuje i struja kroz tranzistor T1. U situaciji kada su oba tranzistora identično polarizovana ulazni napon je

$$V_I = V_{BE} - V_{BE} + V_R = V_R$$

Tada kroz svaki tranzistor prolazi polovina struje I_E pa je

$$V_{O2} = V_{O1} = V_{CC} - R_{C2} \frac{I_{E2}}{2} = V_{CC} - R_{C1} \frac{I_{E2}}{2}$$

odnosno bira se $R_{C2} = R_{C1} = R_C$ tako da taj uslov bude ispunjen. Daljim porastom ulaznog napona sve više struje prolazi kroz transistor T1, sve manje kroz transistor T2, dok tranzistor T2 ne dođe na ivicu provođenja pri naponu

$$V_I = V_{BE} - V_{YT} + V_R$$



Daljim porastom ulaznog napona vodiče tranzistor T1, dok će tranzistor T1 biti zakočen

$$V_I > V_{BE} - V_{YT} + V_R$$

Ovde treba uočiti i jednu „neregularnu situaciju“ kada raste ulazni napon a tranzistor T1 vodi kompletnu struju I_E

$$V_{C1} = V_{CC} - R_{C1}I_E$$

$$V_{E1} = V_I - V_{BE1} = V_I - V_{BE}$$

$$V_{CE1} = V_{CC} - R_{C1}I_E - V_I + V_{BE}$$

Da bi tranzistor uvek radio u aktivnom režimu

$$V_{CE1} = V_{CC} - R_{C1}I_E - V_I + V_{BE} > V_{CES}$$

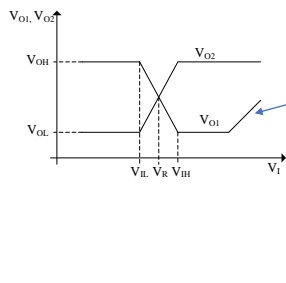
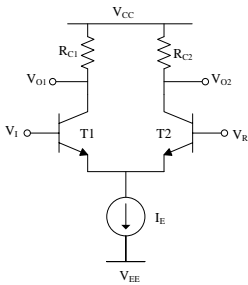
$$V_{CC} - R_{C1}I_E - V_{CES} + V_{BE} > V_I$$

međutim porastom ulaznog napona vidi se da tranzistor T1 može otići u zasićenje kada ovaj uslov ne bude ispunjen. Znači pri ulaznom naponu

$$V_I = V_{CC} - R_{C1}I_E - V_{CES} + V_{BE}$$

tranzistor T1 ulazi u zasićenje i tada je izlazni napon

$$V_{O1} = V_I - V_{BE} + V_{CES}$$



Ovo je neregularan rad ECL kola. Kao što smo videli do ovog ulaznog napona tranzistori T1 i T2 su ili zakočeni ili rade u aktivnom režimu. Time je obezbeđeno i da mogu brzo da se uključe ali da mogu i da se brzo isključe. Time je dobijena velika brzina rada ECL logičkih kola. Znači ovu situaciju da tranzistor T1 ide u zasićenje treba izbegavati.

$$V_{OL} = V_{CC} - R_C I_E$$

$$V_{OH} = V_{CC}$$

$$V_{IL} = V_{YT} - V_{BE} + V_R$$

$$V_{IH} = V_{BE} - V_{YT} + V_R$$



Da bi postojalo održavanje naponskih nivoa

$$V_{OH} > V_{IH} = V_{BE} - V_{YT} + V_R$$

$$V_{OH} - (V_{BE} - V_{YT}) > V_R$$

i

$$V_{OL} < V_{IL} = V_{YT} - V_{BE} + V_R$$

$$V_{OL} + (V_{BE} - V_{YT}) < V_R$$

i smatramo da su simetrično raspoređeni

$$V_{OH} - (V_{BE} - V_{YT}) - \Delta = V_R$$

$$V_{OL} + (V_{BE} - V_{YT}) + \Delta = V_R$$

očigledno je na referentni napon V_R treba postaviti tako da je

$$V_R = \frac{V_{OH} + V_{OL}}{2} = V_{CC} - R_C \frac{I_E}{2}$$



Međutim sada treba uočiti jednu bitnu stvar, a to je da za ovako izabrani referentni napon i ovakvu konfiguraciju teško je postići održavanja naponskih nivoa.

Za ovako izabrani referentni napon na primer kada vodi tranzistor T2 celokupnu struju

$$V_{B2} = V_R = V_{CC} - R_C \frac{I_E}{2}$$

$$V_{E2} = V_{B2} - V_{BE2} = V_{CC} - R_C \frac{I_E}{2} - V_{BE}$$

$$V_{C2} = V_{CC} - R_C I_E$$

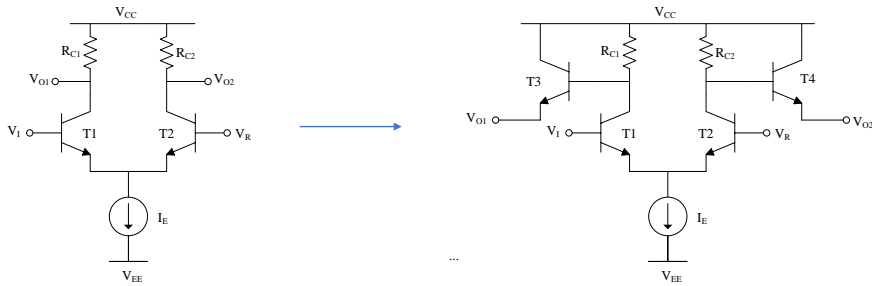
$$V_{CE2} = V_{C2} - V_{E2} = V_{CC} - R_C I_E - \left(V_{CC} - R_C \frac{I_E}{2} - V_{BE} \right)$$

i on mora ostati u aktivnom režimu

$$V_{CE2} = V_{BE} - R_C \frac{I_E}{2} > V_{CES}$$

Znači jako precizno moraju biti izabrani otpornici kao i struja strujnog izvora. I to je različito u odnosu na prethodne familije. Tamo da li je 9k ili 10k nam nije uticalo na funkcionisanje kola. Ovde neće biti čudno ako vidimo da neki otpornik treba da bude 779Ω.





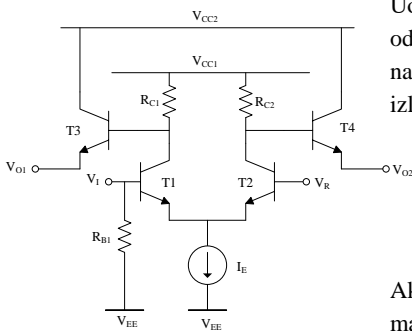
Ovde treba uočiti da će bilo kakva struja kroz izlaz poremetiti ove uslove, odnosno da se lako može desiti da tranzistori odu u zasićenje zbog izlaznih struja. Zbog toga se u realnom ECL kolu dodaju izlazni baferi koji će obezbediti povećane strujne kapacitete ali neće poremetiti naponske nivoe (pojačavač sa zajedničkim kolektorom)

Tranzistori T3 i T4 će zbog svoje konfiguracije, podrazumevajući da postoji neka struja na izlazu, uvek raditi u aktivnom režimu. Menjaju se naponi logičke nule i jedinice

$$V_{OL} = V_{CC} - R_C I_E - V_{BE}$$

$$V_{OH} = V_{CC} - V_{BE}$$

Uslovi za izbor elemenata se ne menjaju.



Uobičajeno za ECL logička kola jeste da rade sa negativnim naponima napajanja odnosno $V_{CC}=0=$ DGND, $V_{EE}<0$ (standardno $V_{EE}=-5.2V$). Zašto? Ako se napon napajanja V_{CC} zbog smetnji promeni za ΔV_{CC} za istu tu vrednost će se promeniti i izlazni napon

$$V_O = V_{CC} - R_C I_C - V_{BE}$$

$$V_O + \Delta V_O = V_{CC} + \Delta V_{CC} - R_C I_C - V_{BE}$$

$$\Delta V_O = \Delta V_{CC}$$

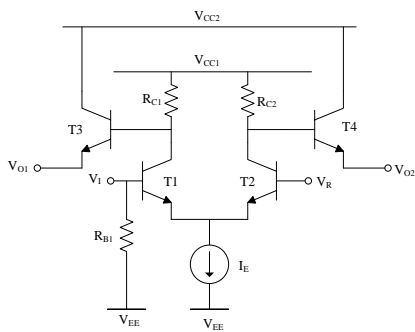
Ako se napon napajanja V_{EE} zbog smetnji promeni za ΔV_{EE} ta promena će se u znatno manjoj meri preneti na izlaz u slučaju da strujni izvor nije idealan (ako je idealan biće nula)

$$V_O = V_{CC} - R_C I_C - V_{BE}$$

$$V_O + \Delta V_O = V_{CC} - R_C (\Delta I_C) - V_{BE} = V_{CC} - R_C (\Delta I_E) - V_{BE}$$

$$V_O + \Delta V_O = V_{CC} - R_C (\Delta I_C) - V_{BE} = V_{CC} - R_C \left(\frac{\Delta V_{EE}}{R_{IE}} \right) - V_{BE}$$





Ulazni strujni kapaciteti su

$$I_{IL} = \frac{V_I - V_{EE}}{R_B} = \frac{V_{IL} - V_{EE}}{R_B}$$

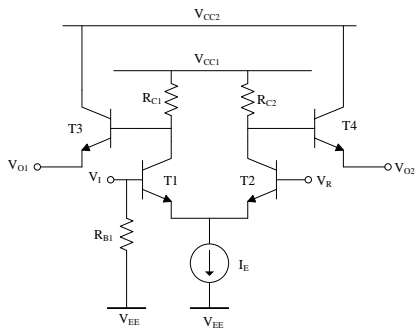
$$I_{IH} = \frac{V_I - V_{EE}}{R_B} + \frac{I_E}{\beta_F} = \frac{V_{OH} - V_{EE}}{R_B} + \frac{I_E}{\beta_F}$$

Dok su strujni kapaciteti izlaza

$$I_{OH} = \beta_F \frac{V_{CC} - (V_{OHmin} + V_{BE})}{R_C}$$

pri čemu je V_{OHmin} određeno time da tranzistor T1 (ili T2) ne odu u zasićenje

Strujni kapacitet logičke nule je praktično beskonačan, pošto je tada odgovarajući tranzistor zakočen pa struja baze baferškog tranzistora ne utiče na njegov režim rada.



U dinamičkom režimu parazitna kapacitivnost C na izlazu, podrazumevajući da se kolo nalazi u lancu istih takvih kola, se prazni preko otpornosti R_{B1} sa

$$\tau = CR_{B1}$$

$$v_o(t_0^+) = V_{OH} \text{ i } v_o(\infty) = V_{EE} \text{ i } v_o(t_0 + t_{pHL}) = \frac{V_{OH} + V_{OL}}{2}$$

dok se puni preko izlaznih bafera koji rade u aktivnom režimu sa

$$\tau = C \frac{R_C}{\beta_F}$$

$$v_o(t_0^+) = V_{OL} \text{ i } v_o(\infty) = V_{CC} \text{ i } v_o(t_0 + t_{pHL}) = \frac{V_{OH} + V_{OL}}{2}$$

Zbog male razlike napona V_{OH} i V_{OL} ovi procesi će biti jako brzi.



Standardno dvoulazno ECL kolo je

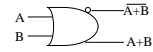
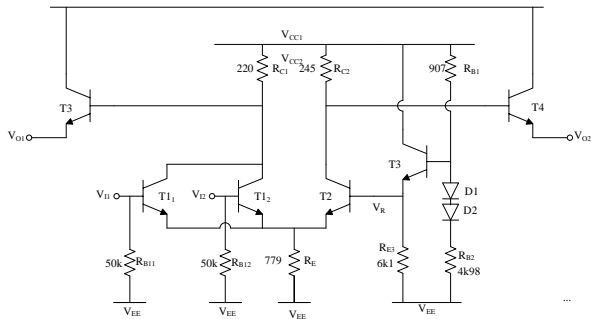


Table 6. 10EP DC CHARACTERISTICS, PECL $V_{OC} = 5.0\text{ V}$, $V_{EE} = 0\text{ V}$ (Note 4)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	45	57	75	45	58	75	45	59	75	mA
V_{OH}	Output HIGH Voltage (Note 5)	3865	3990	4115	3930	4055	4180	3990	4115	4240	mV
V_{OL}	Output LOW Voltage (Note 5)	3065	3190	3315	3130	3255	3380	3190	3315	3440	mV
V_{IH}	Input HIGH Voltage (Single-Ended)	3790		4115	3855		4180	3915		4240	mV
V_{IL}	Input LOW Voltage (Single-Ended)	3065		3390	3130		3455	3190		3515	mV
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	-150			-150			-150			μA



Table 7. 10EP DC CHARACTERISTICS, NECL $V_{CC} = 0\text{ V}$, $V_{EE} = -5.5\text{ V to }-3.0\text{ V}$ (Note 6)

Symbol	Characteristic	-40°C			25°C			85°C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
I_{EE}	Power Supply Current	45	57	75	45	58	75	45	59	75	mA
V_{OH}	Output HIGH Voltage (Note 7)	-1135	-1010	-885	-1070	-945	-820	-1010	-885	-760	mV
V_{OL}	Output LOW Voltage (Note 7)	-1935	-1810	-1685	-1870	-1745	-1620	-1810	-1685	-1560	mV
V_{IH}	Input HIGH Voltage (Single-Ended)	-1210		-885	-1145		-820	-1085		-760	mV
V_{IL}	Input LOW Voltage (Single-Ended)	-1935		-1610	-1870		-1545	-1810		-1485	mV
I_{IH}	Input HIGH Current			150			150			150	μA
I_{IL}	Input LOW Current	-150			-150			-150			μA



Table 11. AC CHARACTERISTICS $V_{CC} = 0\text{ V}$; $V_{EE} = -3.0\text{ V to }-5.5\text{ V}$ or $V_{CC} = 3.0\text{ V to }5.5\text{ V}$; $V_{EE} = 0\text{ V}$ (Note 14)

Symbol	Characteristic	-40°C			25°C			85°C			Unit	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
f_{max}	Maximum Frequency (See Figure 4. $F_{max}/JITTER$)		> 3			> 3			> 3		GHz	
t_{PLH} , t_{PHL}	Propagation Delay D to Q, \bar{Q}	10 100	125 180	225 280	325 380	150 200	250 300	370 400	170 250	300 320	420 450	ps
t_{SKEW}	Within Device Skew Device to Device Skew (Note 15)		15	50 200		20	50 200		20	50 200		ps
t_{JITTER}	Cycle-to-Cycle Jitter (See Figure 4. $F_{max}/JITTER$)		0.2	< 1		0.2	< 1		0.2	< 1		ps
t_r , t_f	Output Rise/Fall Times (20% – 80%)		100	150	200	120	170	220	150	190	250	ps

